

A D S P 3 2 4 - 1 4 5

マルチファンクションボード

ハードウェア・ユーザーズ・マニュアル

中部電機株式会社

目 次

1. 概 説	1
2. 基本仕様	2
2.1. 機 能	2
2.2. ラインナップ	5
3. ハードウェア	6
3.1. コネクタ、ディップスイッチの配置	6
3.2. 出荷時の設定	7
3.3. ボードの設置方法	13
3.4. 入出力信号の接続方法	14
4. 機能説明	16
4.1. 共 通	16
4.2. パラレル入出力	17
4.3. PWM	22
4.4. キャプチャ	27
4.5. パルスジェネレータ	29
4.6. カウンタ	31
5. 初期設定	33
5.1. 共 通	34
5.2. パラレル入出力	37
5.3. PWM	39
5.4. キャプチャ	41
5.5. パルスジェネレータ	42
5.6. カウンタ	43
6. ボードの制御とメモリマップ	45
6.1. メモリマップ (アウトライン)	45
6.2. 共 通	47
6.3. パラレル入出力	51
6.4. PWM	59
6.5. キャプチャ	67
6.6. パルスジェネレータ	73
6.7. カウンタ	78
7. 電 源	84
7.1. パラレル入出力機能を使用する場合	84
7.2. PWM機能を使用する場合	85
7.3. キャプチャ機能を使用する場合	85
7.4. パルスジェネレータ機能を使用する場合	85
7.5. カウンタ機能を使用する場合	85
8. コネクタのピン配列とピン配置	86
8.1. ピン配列	86
8.2. ピン配置	95

目 次

図 3-1	A D S P 3 2 4 - 1 4 5 配置図.....	6
図 3-2	ディップスイッチの出荷時設定.....	7
図 3-3	ジャンパースwitchの出荷時設定 (1)	8
図 3-4	ジャンパースwitchの出荷時設定 (2)	8
図 3-5	ジャンパースwitchの出荷時設定 (3)	9
図 3-6	ジャンパースwitchの出荷時設定 (4)	9
図 3-7	ジャンパースwitchの出荷時設定 (5)	10
図 3-8	ジャンパースwitchの出荷時設定 (6)	10
図 3-9	ジャンパースwitchの出荷時設定 (7)	11
図 3-10	ジャンパースwitchの出荷時設定 (8)	11
図 3-11	ジャンパースwitchの出荷時設定 (9)	12
図 3-12	ジャンパースwitchの出荷時設定 (1 0)	12
図 3-13	ジャンパースwitchの出荷時設定 (1 1)	12
図 3-14	L V T T L出力回路.....	14
図 3-15	L V T T L入力回路.....	14
図 3-16	フォトカプラ絶縁出力回路.....	14
図 3-17	フォトカプラ絶縁入力回路.....	14
図 3-18	PWM出力回路.....	15
図 3-19	キャプチャ入力回路.....	15
図 3-20	パルスジェネレータ出力回路.....	15
図 3-21	カウンタ入力回路.....	15
図 4-1	出力ポート下位 1 6 b i t	17
図 4-2	出力ポート上位 1 6 b i t	17
図 4-3	入力ポート下位 1 6 b i t	18
図 4-4	入力ポート上位 1 6 b i t	18
図 4-5	3相PWM出力の回路構成.....	22
図 4-6	単相PWM出力の回路構成.....	22
図 4-7	PWM出力波形 フルブリッジの正出力.....	23
図 4-8	PWM出力波形 フルブリッジの逆出力.....	24
図 4-9	PWM出力波形 ハーフブリッジの正出力.....	24
図 4-10	PWM出力波形 ハーフブリッジの逆出力.....	25
図 4-11	同期パルス出力波形.....	26
図 4-12	3相PWMのキャプチャ可能回路構成.....	27
図 4-13	単相PWMのキャプチャ可能回路構成.....	27
図 4-14	キャプチャしたPWM波形.....	28
図 4-15	C W ・ C C Wパルスの生成.....	29
図 4-16	パルスジェネレータの出力波形.....	29
図 4-17	A B相入力とカウントの関係.....	31
図 4-18	カウンタの通倍.....	31
図 4-19	A B Z相のカウントリセット条件.....	32
図 5-1	ディップスイッチの論理表.....	33
図 5-2	ボードアドレスの設定.....	34
図 5-3	割り込みフラグの設定.....	35

図 6-1	Duty・レジスタ	62
図 6-2	同期パルス出力・レジスタ	64
図 8-1	CN4を挿入方向から見たピン配置	95
図 8-2	CN12・CN13を挿入方向から見たピン配置	95

表 目 次

表 1-1	マルチファンクションボードの一覧	1
表 2-1	ラインナップの一覧	5
表 3-1	DSPボードの接続コネクタ	13
表 3-2	拡張バスケーブル	13
表 3-3	機能別の接続コネクタ	13
表 4-1	カウンタリセット条件	32
表 5-1	DSW101～DSW103の信号割り付け表	34
表 5-2	DSW104の信号割り付け表	35
表 5-3	割り込みコントロール・レジスタ	36
表 5-4	モード選択・レジスタ	37
表 5-5	ハンドリング方式・レジスタ	37
表 5-6	ハンドリング信号の極性・レジスタ	38
表 5-7	モード選択、出力許可・レジスタ	39
表 5-8	設定データ反映タイミング・レジスタ	39
表 5-9	モード選択・レジスタ	41
表 5-10	カウンタ逡倍選択・レジスタ	43
表 5-11	カウンタリセット許可・レジスタ	44
表 6-1	メモリマップ（アウトライン）	45
表 6-2	機能「IOIO-▲」の参照メモリマップ	46
表 6-3	機能「PWCN」の参照メモリマップ	46
表 6-4	機能「CPPL」の参照メモリマップ	46
表 6-5	機能「PWIO-▲」の参照メモリマップ	46
表 6-6	機能「IOCN-▲」の参照メモリマップ	46
表 6-7	共通領域のメモリマップ	47
表 6-8	割り込みコントロール・レジスタ	49
表 6-9	割り込みポートフラグ・レジスタ	50
表 6-10	パラレル入出力 ポート0・1のメモリマップ	51
表 6-11	パラレル入出力 ポート2・3のメモリマップ	52
表 6-12	ハンドリング信号の状態・レジスタ	55
表 6-13	モード選択・レジスタ	56
表 6-14	ハンドリング方式選択・レジスタ	56
表 6-15	ハンドリング信号の極性・レジスタ	57
表 6-16	PWM/パラレル入力のメモリマップ（1）	59
表 6-17	PWM/パラレル入力のメモリマップ（2）	60
表 6-18	PWM/パラレル入力のメモリマップ（3）	61
表 6-19	モード選択、出力許可・レジスタ	65
表 6-20	設定データ反映タイミング・レジスタ	66
表 6-21	パラレル出力/キャプチャのメモリマップ（1）	67
表 6-22	パラレル出力/キャプチャのメモリマップ（2）	68
表 6-23	パラレル出力/キャプチャのメモリマップ（3）	69
表 6-24	計測完了フラグ・レジスタ	72

表 6-25	モード選択・レジスタ	72
表 6-26	パルスジェネレータ/パラレル入力のメモリマップ(1)	73
表 6-27	パルスジェネレータ/パラレル入力のメモリマップ(2)	74
表 6-28	パルスジェネレータ/パラレル入力のメモリマップ(3)	75
表 6-29	回転方向・レジスタ	76
表 6-30	モード選択、出力許可・レジスタ	77
表 6-31	設定データ反映タイミング・レジスタ	77
表 6-32	パラレル出力/カウンタのメモリマップ(1)	78
表 6-33	パラレル出力/カウンタのメモリマップ(2)	79
表 6-34	パラレル出力/カウンタのメモリマップ(3)	80
表 6-35	カウンタリセット許可・レジスタ	81
表 6-36	カウンタリセット条件	81
表 6-37	カウンタ通倍選択・レジスタ	82
表 6-38	絶縁指定ビット入力の状態・レジスタ	83
表 7-1	パラレル入出力(LVTTL入出力)の電源ピン	84
表 7-2	パラレル入出力(フォトカブラ絶縁入出力)の電源ピン	84
表 7-3	PWMの電源ピン	85
表 7-4	キャプチャの電源ピン	85
表 7-5	パルスジェネレータの電源ピン	85
表 7-6	カウンタ(カウンタ入力)の電源ピン	85
表 7-7	カウンタ(フォトカブラ絶縁入力)の電源ピン	85
表 8-1	外部TTL入出力ポートのピン配列	86
表 8-2	外部入出力ポート0・1(パラレル入出力・LVTTL)のピン配列	87
表 8-3	外部入出力ポート0・1(パラレル入出力・絶縁)のピン配列	88
表 8-4	外部入出力ポート0・1(PWM)のピン配列	89
表 8-5	外部入出力ポート0・1(キャプチャ)のピン配列	90
表 8-6	外部入出力ポート2・3(パラレル入出力・LVTTL)のピン配列	91
表 8-7	外部入出力ポート2・3(パラレル入出力・絶縁)のピン配列	92
表 8-8	外部入出力ポート2・3(パルスジェネレータ)のピン配列	93
表 8-9	外部入出力ポート2・3(カウンタ)のピン配列	94

1.概 説

ADSP324-145は、32bitDSPボードADSP324、ADSP674-00シリーズ専用のマルチファンクションボードです。DSPの特徴である高速演算・高速I/Oを生かし、かつ、大規模ゲート数のFPGAを使用していますのでフレキシブルなI/Oを構築できます。

本ボードを用いることにより、パソコン又はタッチパネルによるGUI、DSPによるソフトウェア、FPGAによるハードウェアのトータルコーディネートが可能で、全体的にバランスの取れたシステム構築が可能です。

本ボードはパラレル入出力（LVTTL又はフォトカブラ絶縁）PWM、キャプチャ、パルスジェネレータ、カウンタの5つの機能から2つを実装でき、DSPボードより直接制御することができます。（組み合わせによっては実装できない機能があります。）

また1台DSPボードに最大4台まで拡張可能です。

マルチファンクションボード	DSPボード
ADSP324-145	ADSP324-00A
ADSP324-145	ADSP674-00シリーズ

表 1-1 マルチファンクションボードの一覧

2. 基本仕様

2.1. 機能

2.1.1. パラレル入出力

- | | |
|------------|--|
| 1) パラレル出力 | 32 bit 出力 + 入出力制御信号 × 1 ポート
16 bit 単位での制御可能 ソフトウェアにより選択可 |
| 2) パラレル入力 | 32 bit 入力 + 入出力制御信号 × 1 ポート
16 bit 単位での制御可能 ソフトウェアにより選択可 |
| 3) 入出力制御信号 | ポート毎に STB 信号 2 点、ACK 信号 2 点
16 bit 単位での制御可能 ソフトウェアにより選択可 |
| 4) 入出力制御方式 | 制御なし、STB / ACK、ライトストロブ、ホールド
(詳細は「4.2.2 ハンドリング方式」参照)
ソフトウェアにより選択可 |
| 5) 割り込み信号 | 入力ポートにて入出力制御を行った場合、割り込み可能 |
| 6) 入出力信号形式 | LVTTL 又はフォトカプラ絶縁 (実装時に決定) |
| LVTTL | + 3.3 V (+ 5 V TTL との接続可能) |
| フォトカプラ絶縁 | + 5 V ~ + 24 V、定格電流 5 mA (PC3Q710NIP) |

2.1.2. PWM (出力)

- | | |
|------------|--|
| 1) チャンネル数 | 3 相 × 3 チャンネル又は単相 × 4 チャンネル
(単相は Hブリッジ回路の出力) ソフトウェアにより選択可 |
| 2) 出力仕様 | 高速フォトカプラ絶縁出力 + 5 V (TLP115A)
負論理出力 |
| 3) キャリア周波数 | 24 Hz ~ 120 KHz (分解能 $1/24\text{MHz}$) |
| 4) デューティー比 | 0 ~ 100 % (分解能 キャリア周波数に依存)
(キャリア周波数 120 KHz のとき 1 % 制御可能) |
| 5) デットタイム | デットタイム 0 ~ 2 mS (分解能 $1/24\text{MHz}$) |
| 6) 同期パルス出力 | PWM 周期に同期したパルス出力 (1 ~ 255 で分周可能)
LVTTL + 3.3 V (+ 5 V TTL との接続可能) |
| 7) 割り込み信号 | なし |

2.1.3. キャプチャ (入力)

- | | |
|------------|--|
| 1) チャンネル数 | PWM 3 相 × 3 チャンネル又は PWM 単相 × 4 チャンネル
(単相は Hブリッジ回路の入力) ソフトウェアにより選択可 |
| 2) 入力仕様 | LVTTL + 3.3 V (+ 5 V TTL との接続可能)
負論理入力 |
| 3) 入力周波数 | 24 Hz ~ 120 KHz (分解能 $1/24\text{MHz}$) |
| 4) デューティー比 | 0 ~ 100 % (分解能 キャリア周波数に依存)
(入力周波数 120 KHz のとき 1 % 計測可能) |
| 5) 割り込み信号 | 計測完了にて割り込み可能 |

2.1.4. パルスジェネレータ (出力)

- | | | |
|----|--------|---|
| 1) | チャンネル数 | 4チャンネル |
| 2) | 出力仕様 | RS422レベル +5V (SN75ALS192NS)
90°位相差パルス(A, B, Z)相当 |
| 3) | 出力周波数 | 0.01Hz ~ 6MHz |
| 4) | Z相出力 | 2 ~ 50,000,000パルスに1パルス |
| 5) | 割り込み信号 | なし |

2.1.5. カウンタ (入力)

- | | | |
|----|-----------|--|
| 1) | チャンネル数 | 32bit アップ・ダウン×4チャンネル |
| 2) | 入力仕様 | RS422レベル +5V (SN75ALS197NS)
90°位相差パルス(A, B, Z) |
| 3) | 最高入力周波数 | 5MHz |
| 4) | カウンタモード | 1, 2, 4 通倍切り替え可能 ソフトウェアにより選択可 |
| 5) | カウンタ長 | 32bit |
| 6) | カウンタプリセット | ソフトウェアによるカウンタプリセットが可能 |
| 7) | カウンタリセット | Z相によるカウンタリセットが可能 |
| 8) | リセット許可入力 | フォトカプラ絶縁 +5V ~ +24V (PC3Q710NIP) |
| 9) | 割り込み信号 | なし |

2.1.6. 割り込み

- | | | |
|----|-----------|---|
| 1) | 内部割り込み | パラレル入力ポート、キャプチャポートより可能 |
| 2) | 外部割り込み | |
| | 点数 | 1点 |
| | 入力仕様 | LVTTL +3.3V (+5V TTLとの接続可能)
CN4 - 8ピンより入力 最小信号幅: 200ns
エッジ選択可能 ソフトウェアにより選択可 |
| 3) | DSPへの割り込み | ADSP324-00A : INT3
ADSP674-00シリーズ: INT7
割り込みベクター設定可 8種
割り込み信号受付の可否 ソフトウェアにより選択可 |

2.1.7. ウォッチドグタイマー

- | | | |
|----|--------|---|
| 1) | チャンネル数 | 1チャンネル |
| 2) | 監視時間 | 1μs ~ 60s ソフトウェアにより設定可 |
| 3) | 外部出力仕様 | TTL +5V
CN4 - 11ピンへ出力 |

2.1.8. リセット

- | | | |
|----|--------|---|
| 1) | | ボードの初期化 |
| 2) | 外部入力仕様 | LVTTL +3.3V (+5V TTLとの接続可能)
CN4 - 15ピンより入力 |

2. 基本仕様

2.1.9. RS232Cポート

- 1) ポート数 1ポート
- 2) 接続 DSP操作ターミナル(ADSP-GOTシリーズ)専用

2.1.10. ユーザープログラマブルFPGA

- 1) FPGA FPGA2個をユーザーにてプログラム可能
(IC2, IC3。但し、標準の機能が実装できなくなります)
- 2) ゲート数 1個あたり最大200Kゲート(Xilinx社 [®] Spartan XC2S200)
- 3) コンフィギュレーション
JTAGにてPROM化(Xilinx社 XC18V02)

2.1.11. オプションポート

- 1) ポート数 1ポート
- 2) 接続 ドーターボード専用

2.1.12. 増設ボード枚数

最大 4枚

2.1.13. 電源

DC+5V、1A 外部供給(ISAバス)

パラレル入出力(フォトカプラ絶縁)使用時

DC+5~24V

PWM出力(フォトカプラ絶縁)使用時

DC5V、0.5A

2.2. ラインナップ

パラレル入出力（LVTTL又はフォトカプラ絶縁）、PWM、キャプチャ、パルスジェネレータ、カウンタの各機能を下表のような組み合わせで実装可能です。

機能の組み合わせ	型式名
パラレル入出力 / パラレル入出力	ADSP324-145 IOIO - ▲
PWM / カウンタ	ADSP324-145 PWCN
キャプチャ / パルスジェネレータ	ADSP324-145 CPPL
PWM / パラレル入出力	ADSP324-145 PWIO - ▲
パラレル入出力 / カウンタ	ADSP324-145 IOCN - ▲

表 2-1 ラインナップの一覧

パラレル入出力を選択されたときの - ▲ につきましては、

LVTTL入出力の場合 : なし

フォトカプラ絶縁入出力の場合 : - P

PWM、パルスジェネレータには32ビットパラレル入力（フォトカプラ絶縁）が1ポート、キャプチャ、カウンタには32ビットパラレル出力（フォトカプラ絶縁）が1ポート付加されています。

3 . ハードウェア

3.1 . コネクタ、ディップスイッチの配置

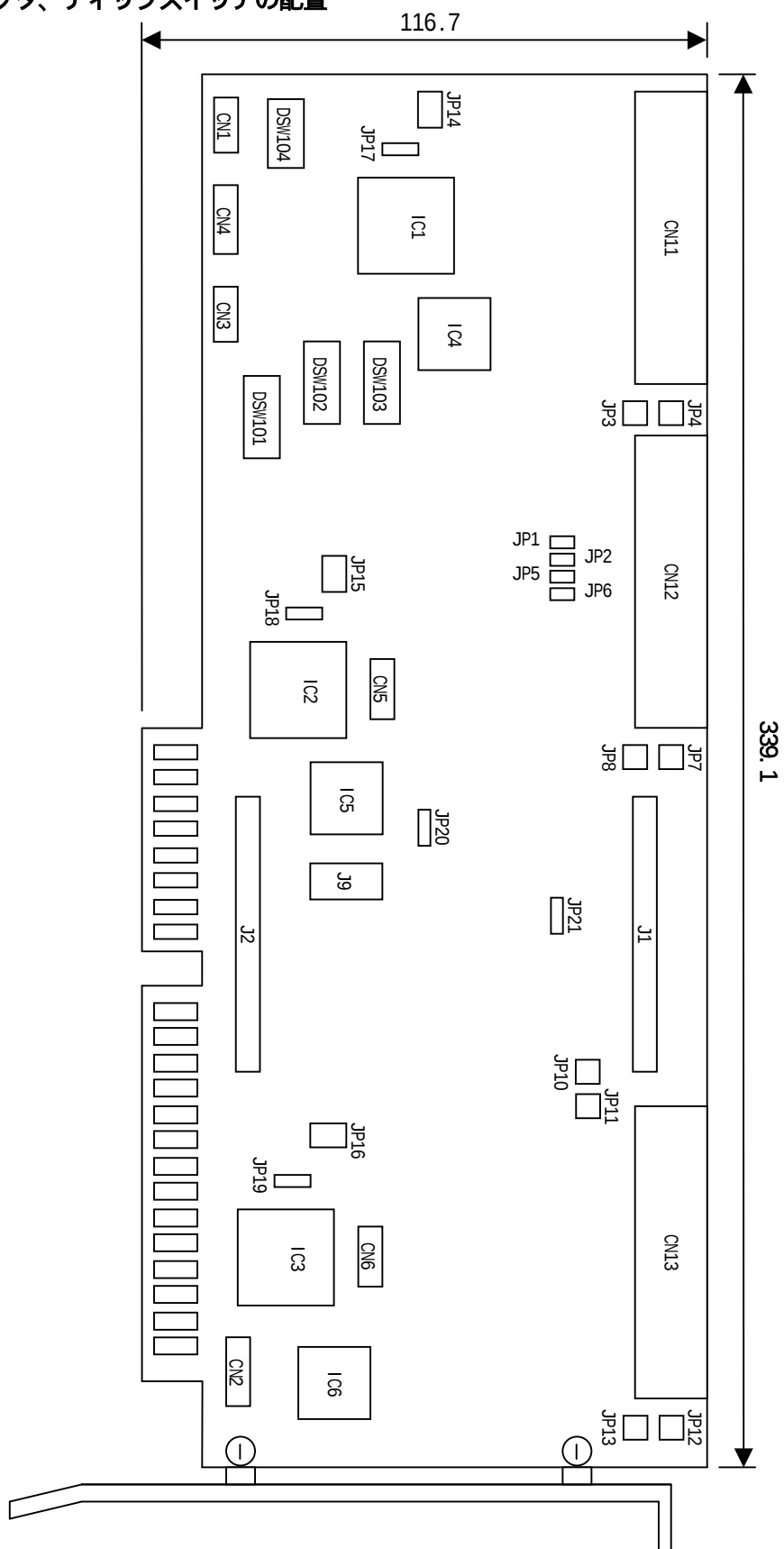


図 3-1 ADSP324-145 配置図

3.2. 出荷時の設定

本ボードの出荷時のディップスイッチ等の設定は下記のように設定されています。

【注意】DSW101～DSW104はユーザーにて変更可能ですが、JP1～JP21はユーザーにての変更はしないでください。

3.2.1. ボードアドレス、割り込みフラグ

DSW101	1 2 3 4 5 6 7 8	
ON	☒ ☒ ☒ ☒ ☐ ☒ ☒ ☐	ボードアドレス： <u>90</u> 1000h
OFF	☐ ☐ ☐ ☐ ☒ ☐ ☐ ☒	
DSW102	1 2 3 4 5 6 7 8	
ON	☐ ☒ ☒ ☒ ☐ ☒ ☒ ☒	ボードアドレス：90 <u>10</u> 00h
OFF	☒ ☐ ☐ ☐ ☒ ☐ ☐ ☐	
DSW103	1 2 3 4 5 6 7 8	
ON	☐ ☐ ☐ ☐ ☐ ☐ ☐ ☐	ボードアドレス：9010 <u>00</u> h
OFF	☒ ☒ ☒ ☒ ☒ ☒ ☒ ☒	
DSW104	1 2 3 4 5 6 7 8	
ON	☐ ☐ ☐ ☐ ☐ ☐ ☐ ☐	割り込みフラグ：設定無し
OFF	☒ ☒ ☒ ☒ ☒ ☒ ☒ ☒	

図 3-2 ディップスイッチの出荷時設定

3.2.2. ポート0・1

1) パラレル入出力 (L V T T L) 実装時

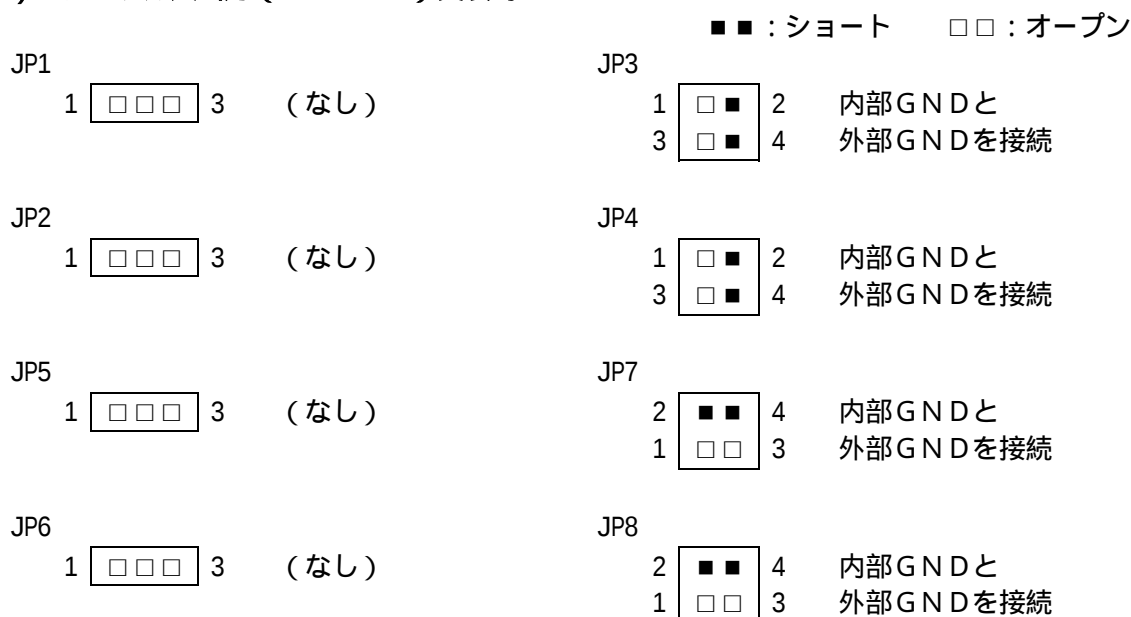


図 3-3 ジャンパースイッチの出荷時設定 (1)

2) パラレル入出力 (フォトカプラ絶縁) 実装時

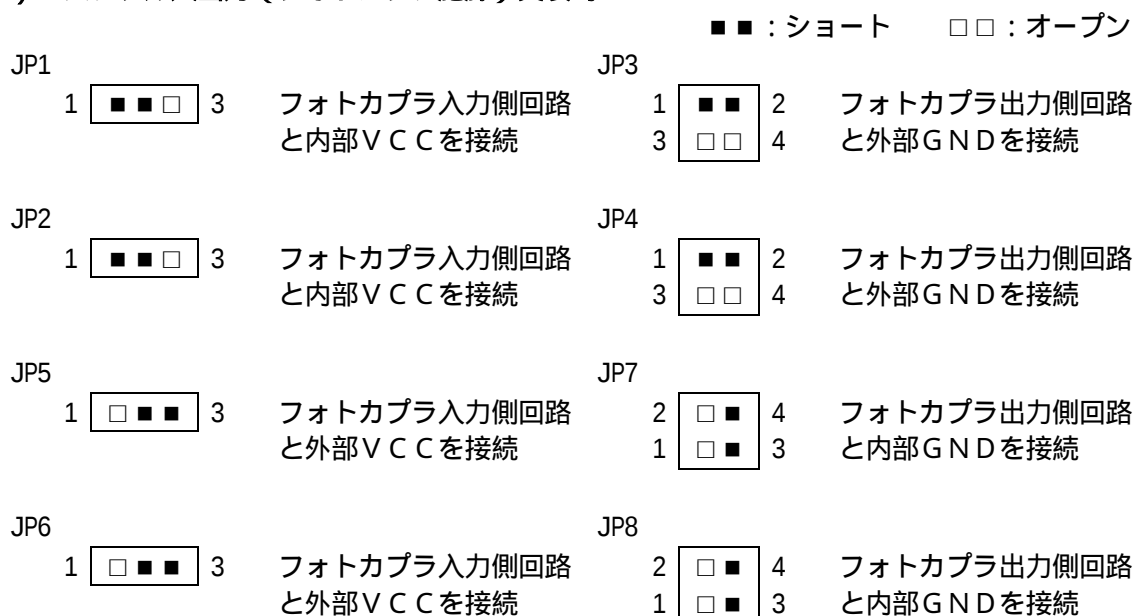


図 3-4 ジャンパースイッチの出荷時設定 (2)

3) PWM 実装時

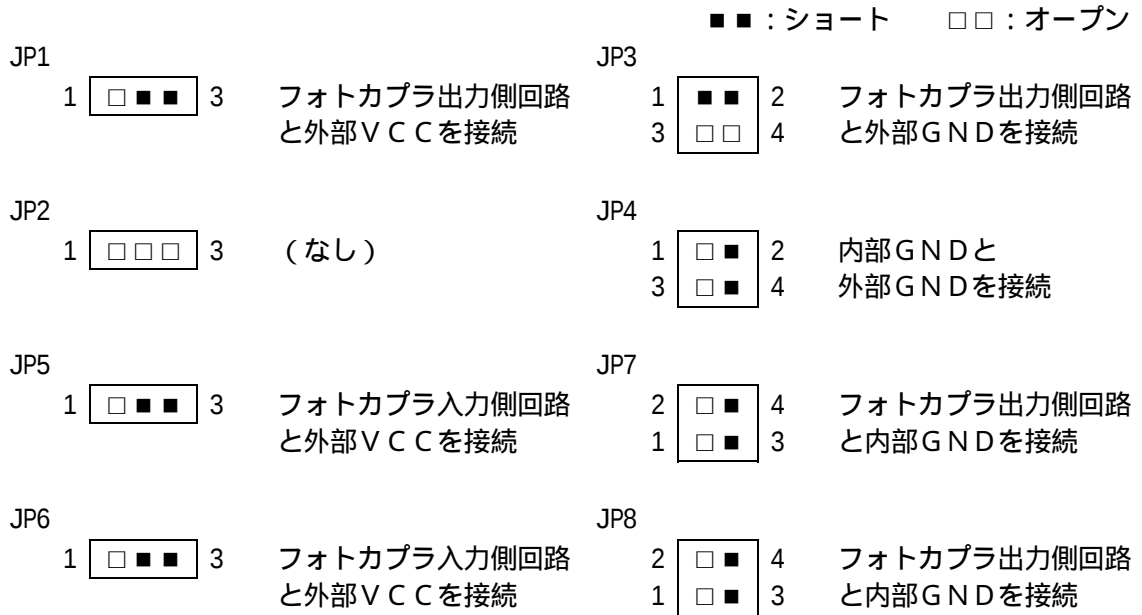


図 3-5 ジャンパースイッチの出荷時設定 (3)

4) キャプチャ 実装時

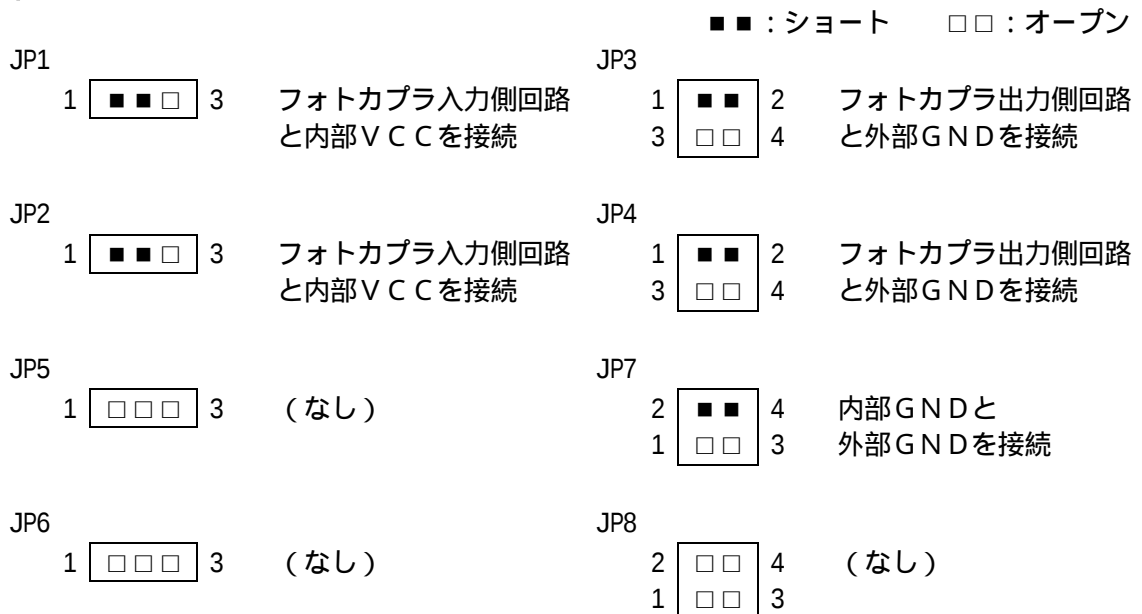


図 3-6 ジャンパースイッチの出荷時設定 (4)

3.2.3. ポート2・3

5) パラレル入出力 (L V T T L) 実装時

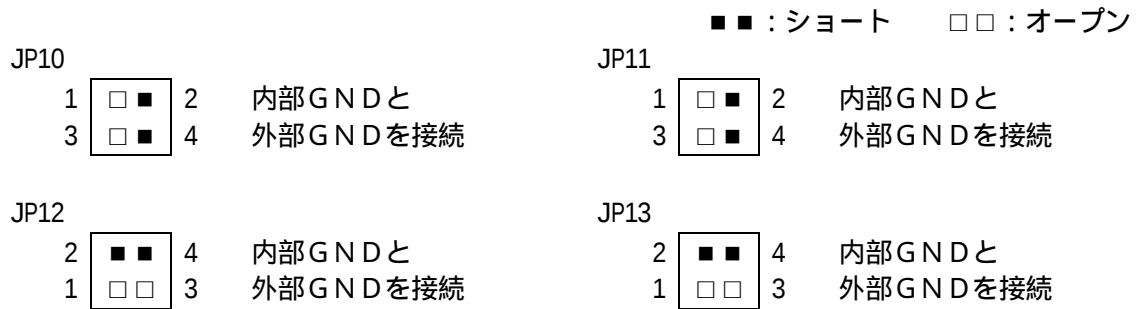


図 3 - 7 ジャンパースイッチの出荷時設定 (5)

6) パラレル入出力 (フォトカプラ絶縁) 実装時

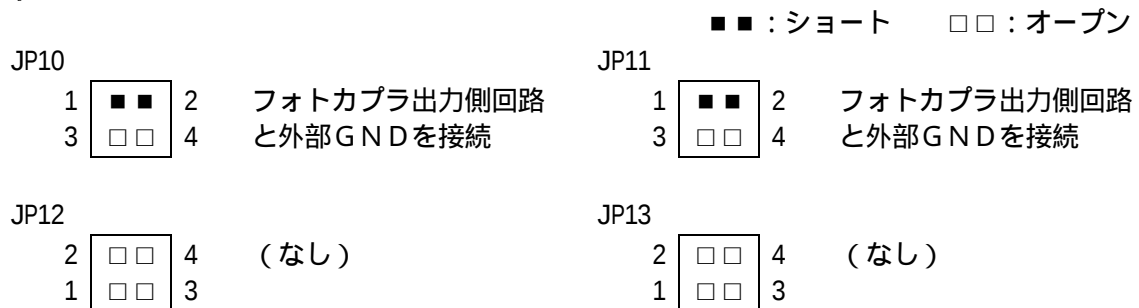
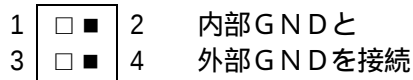


図 3 - 8 ジャンパースイッチの出荷時設定 (6)

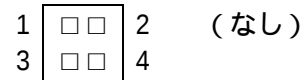
7) パルスジェネレータ 実装時

■ ■ : ショート □ □ : オープン

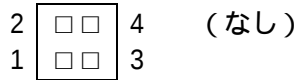
JP10



JP11



JP12



JP13

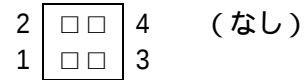
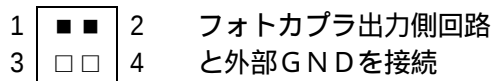


図 3-9 ジャンパースイッチの出荷時設定 (7)

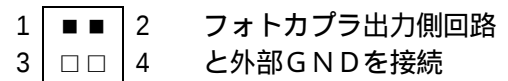
8) カウンタ 実装時

■ ■ : ショート □ □ : オープン

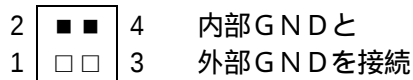
JP10



JP11



JP12



JP13

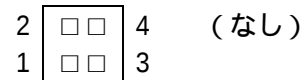


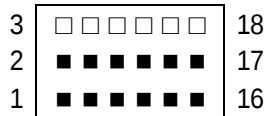
図 3-10 ジャンパースイッチの出荷時設定 (8)

3.2.4. コンフィギュレーションモード

■ ■ : ショート □ □ : オープン

IC 2 のコンフィギュレーションモード選択

JP9



PROM (IC 5) からコンフィギュレーション

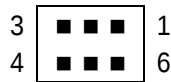
図 3-1 1 ジャンパースイッチの出荷時設定 (9)

3.2.5. 基準クロック

■ ■ : ショート □ □ : オープン

IC 1 (F P G A) 基準クロック選択

JP14



分周設定 1 2 M H z

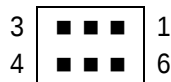
JP17



2 4 M H z クロック

IC 2 (F P G A) 基準クロック選択

JP15



分周設定 1 2 M H z

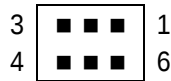
JP18



2 4 M H z クロック

IC 3 (F P G A) 基準クロック選択

JP16



分周設定 1 2 M H z

JP19



2 4 M H z クロック

図 3-1 2 ジャンパースイッチの出荷時設定 (1 0)

3.2.6. IC電源

■ ■ : ショート □ □ : オープン

ライン・ドライバ IC の電源選択

JP20 3 2 1



+ 5 V

ライン・レシーバ IC の電源選択

JP21 1 2 3



+ 5 V

図 3-1 3 ジャンパースイッチの出荷時設定 (1 1)

3.3. ボードの設置方法

- 1) 本ボードを拡張スロットに装着します。
- 2) DSPボードと、本ボードのCN11を拡張バスケーブルで接続します。

ADSP324-145	DSPボード
CN11	ADSP324-00A:CN11
	ADSP674-00:CN12

表 3-1 DSPボードの接続コネクタ

拡張バスケーブル	ADSP324-15	オプション
----------	------------	-------

表 3-2 拡張バスケーブル

パラレル入出力、PMW、キャプチャ、パルスジェネレータ、カウンタは下記コネクタに接続します。

機 能	ADSP324-145
パラレル入出力（ポート0，1）	CN12
パラレル入出力（ポート2，3）	CN13
PMW	CN12
キャプチャ	CN12
パルスジェネレータ	CN13
カウンタ	CN13

表 3-3 機能別の接続コネクタ

3.4 . 入出力信号の接続方法

3.4.1. LVTTL出力

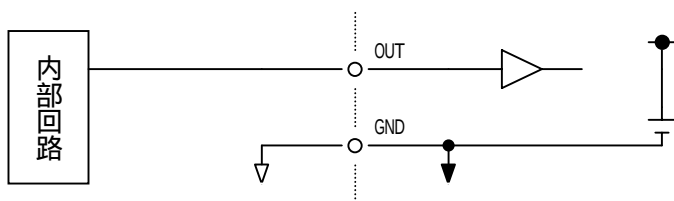


図 3 - 1 4 LVTTL出力回路

3.4.2. LVTTL入力

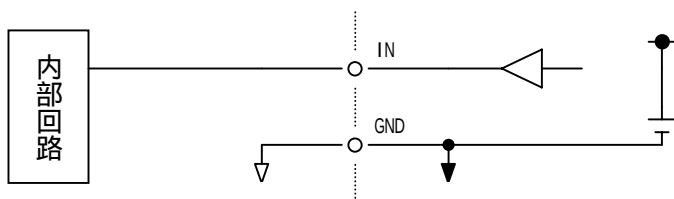


図 3 - 1 5 LVTTL入力回路

3.4.3. フォトカプラ絶縁出力

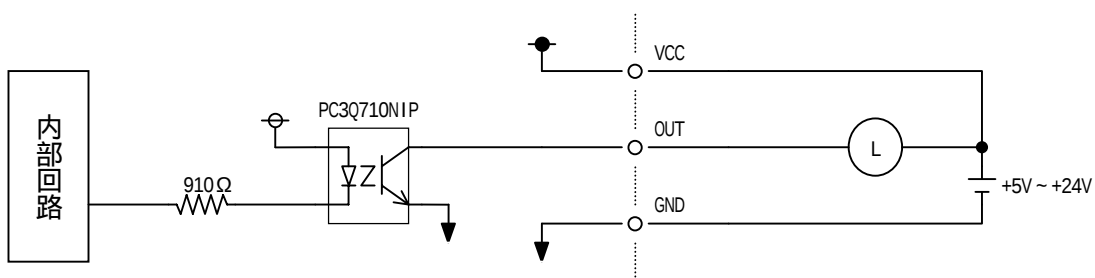


図 3 - 1 6 フォトカプラ絶縁出力回路

3.4.4. フォトカプラ絶縁入力

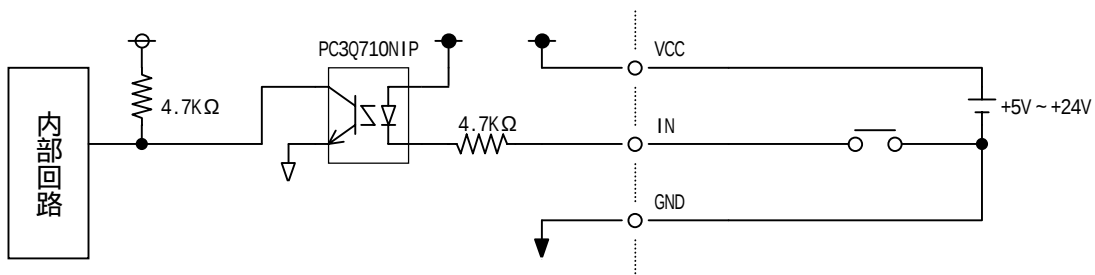


図 3 - 1 7 フォトカプラ絶縁入力回路

3.4.5. PWM出力 (フォトカプラ絶縁出力)

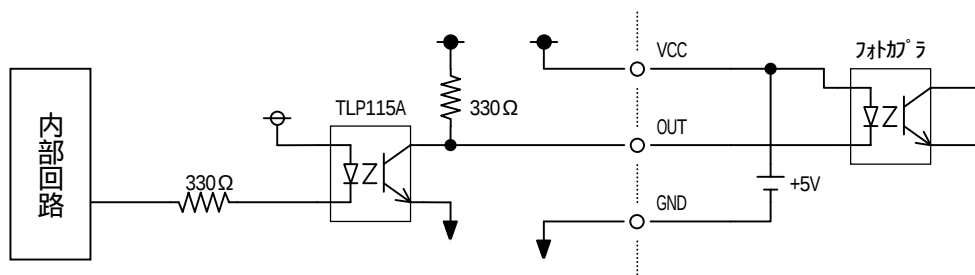


図 3 - 1 8 PWM出力回路

3.4.6. キャプチャ入力 (LVTTTL入力)

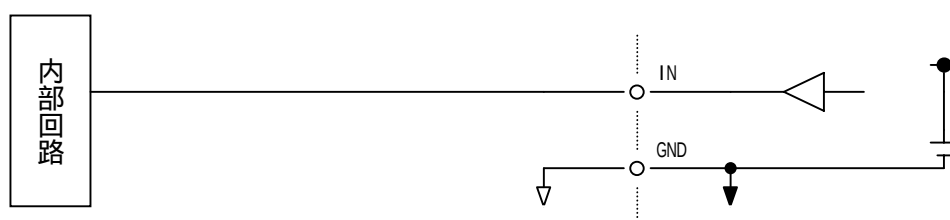


図 3 - 1 9 キャプチャ入力回路

3.4.7. パルスジェネレータ出力 (ライン・ドライバ出力)

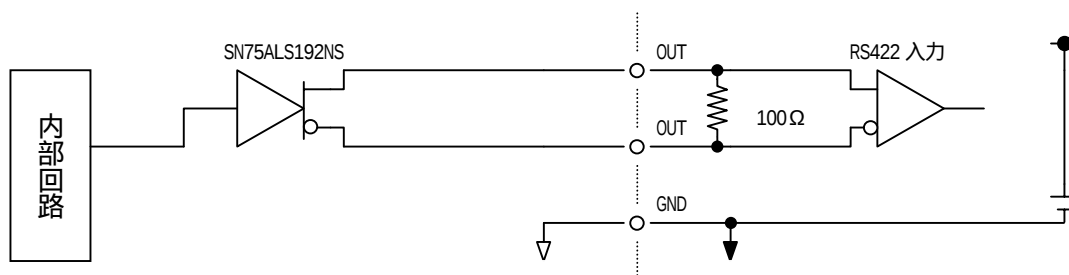


図 3 - 2 0 パルスジェネレータ出力回路

3.4.8. カウンタ入力 (ライン・レシーバー入力)

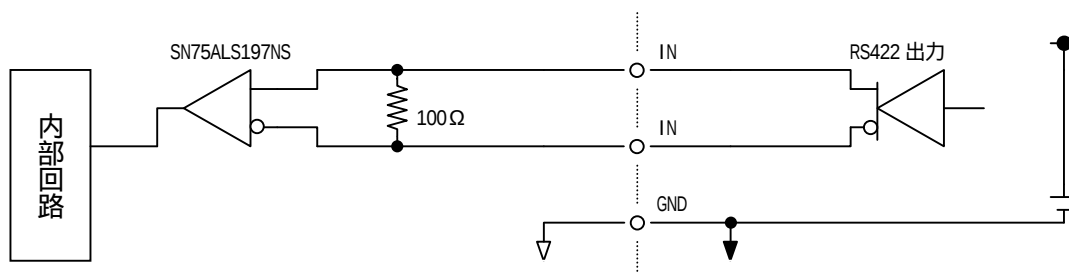


図 3 - 2 1 カウンタ入力回路

4 . 機能説明

4 . 1 . 共 通

4 . 1 . 1 . ウォッチドグタイマ

D S Pボードのプログラムが正常に動作しているか否かをチェックし、異常動作（暴走など）を検出した場合、異常の発生を外部へ知らせることができます。異常発生時は、C N 4 - 1 1 ピンが【H i】（+ 5 Vレベル）になります。

正常時は【L o】（GNDレベル）になっています（C N 4 - 1 6 ピンがGNDです）。

設定等の詳細は「6 . 2 . 2 ウォッチドグタイマ コントロール・レジスタの設定」「6 . 2 . 3 ウォッチドグタイマ カウントリセット・レジスタ」を参照してください。

4 . 1 . 2 . リセット

D S Pボードなどが異常動作（暴走など）となり、本ボードの制御が不能になったときなど、外部よりリセット信号を入力することで本ボードを初期化状態にすることができます。本ボードへリセット入力を行うときは、C N 4 - 1 5 ピンとC N 4 - 1 6 ピンを短絡（C N 4 - 1 5 ピンを【L o】（GNDレベル）にする）してください。

4.2. パラレル入出力

4.2.1. 32bitモードと16bitモード

本ボードのパラレル入出力回路は、32bitモードと16bitモードがあります。

1) 32bitモードの出力

32bit用レジスタに書き込まれた32bitデータが、出力ポートの32bitへそのまま出力されます。

2) 16bitモードの出力

上位16bitと下位16bitに分けられます。

下位16bit出力

下位16bit用レジスタに書き込まれた32bitデータの下位16bitのデータが、出力ポートの下位16bitへ出力されます。

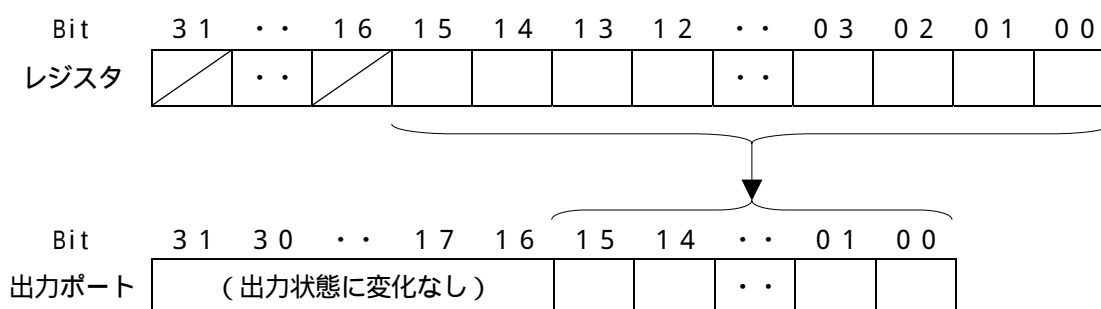


図 4-1 出力ポート下位16bit

上位16bit出力

上位16bit用レジスタに書き込まれた32bitデータの上位16bitのデータが、出力ポートの上位16bitへ出力されます。

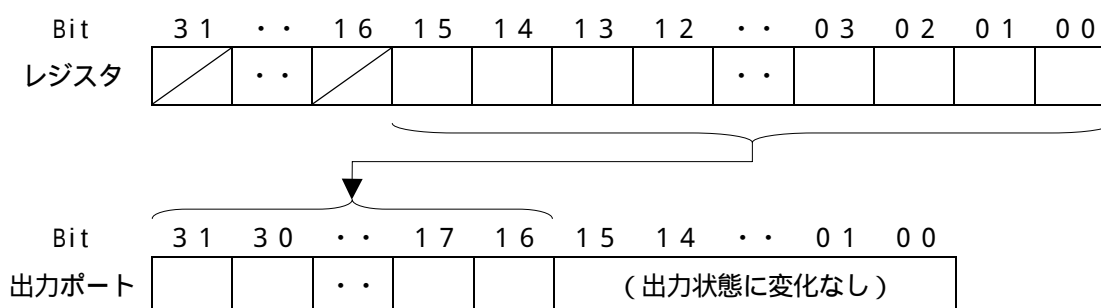


図 4-2 出力ポート上位16bit

3) 32bitモードの入力

入力ポートからの32bitデータが、32bit用レジスタの32bitへそのまま読み込まれます。

4) 16bitモードの入力

上位16bitと下位16bitに分けられます。

下位16bit入力

入力ポートからの32bitデータの下位16bitが、下位16bit用レジスタの下位16bitへ読み込まれ、メモリの上位16bitは符号拡張されます。

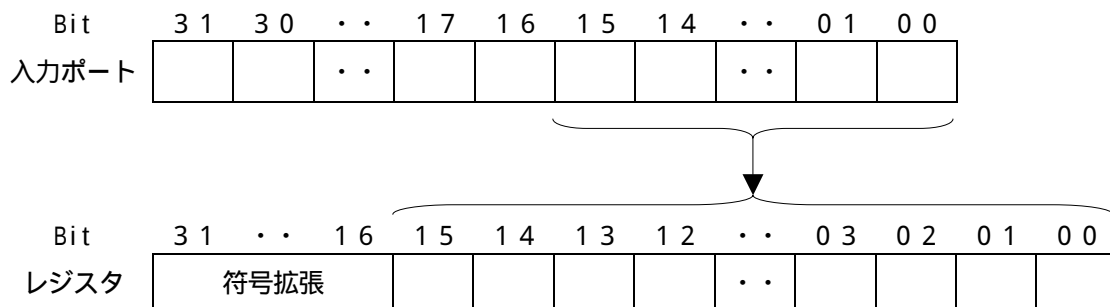


図 4-3 入力ポート下位16bit

上位16bit入力

入力ポートからの32bitデータの上位16bitが、上位16bit用レジスタの下位16bitへ読み込まれ、メモリの上位16bitは符号拡張されます。

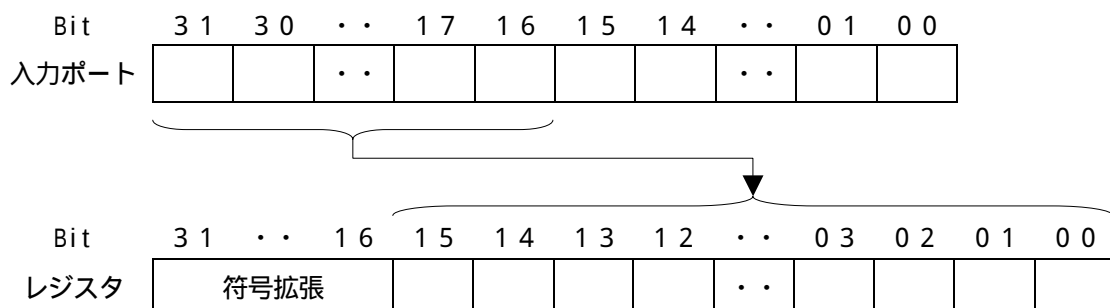


図 4-4 入力ポート上位16bit

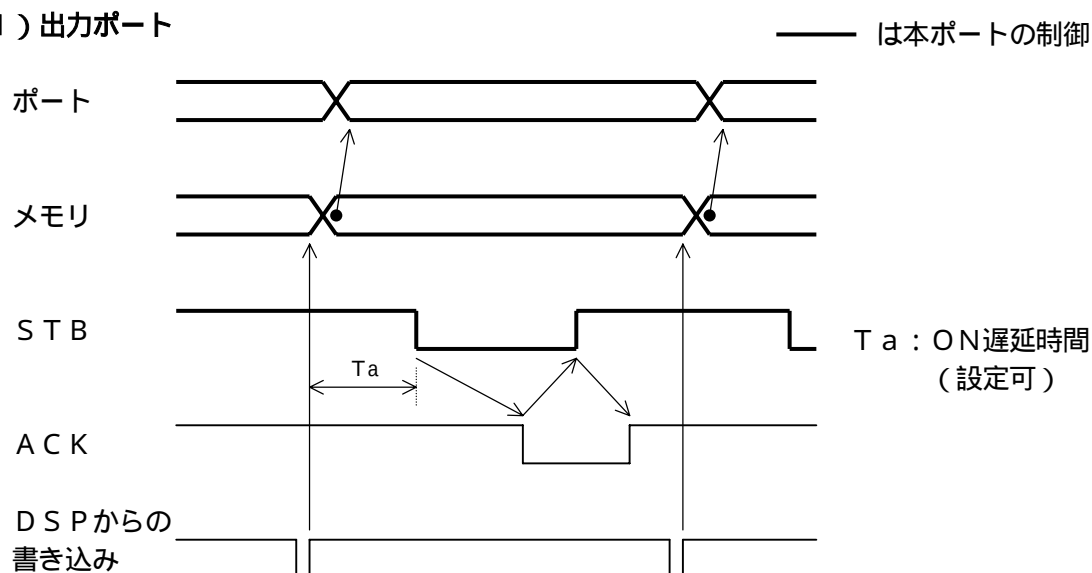
符号拡張：bit15が【0】ならばbit16からbit31はすべて【0】
bit15が【1】ならばbit16からbit31はすべて【1】となる。

4.2.2. ハンドリング方式

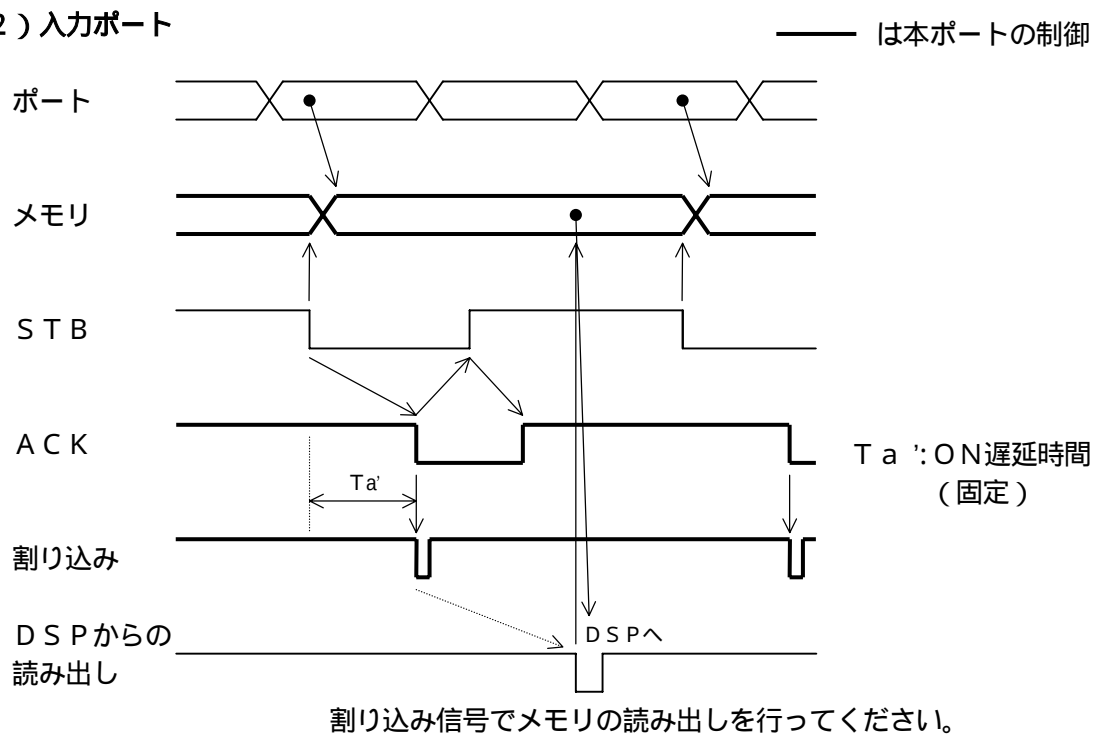
本ボードの平行入出力回路は、32bitデータラインとは別に入出力制御用信号があり、3つのハンドリング方式が用意されています。
以下に各ハンドリングのタイムチャートを負論理極性にて記します。

1) STB / ACK方式のタイムチャート

1) 出力ポート

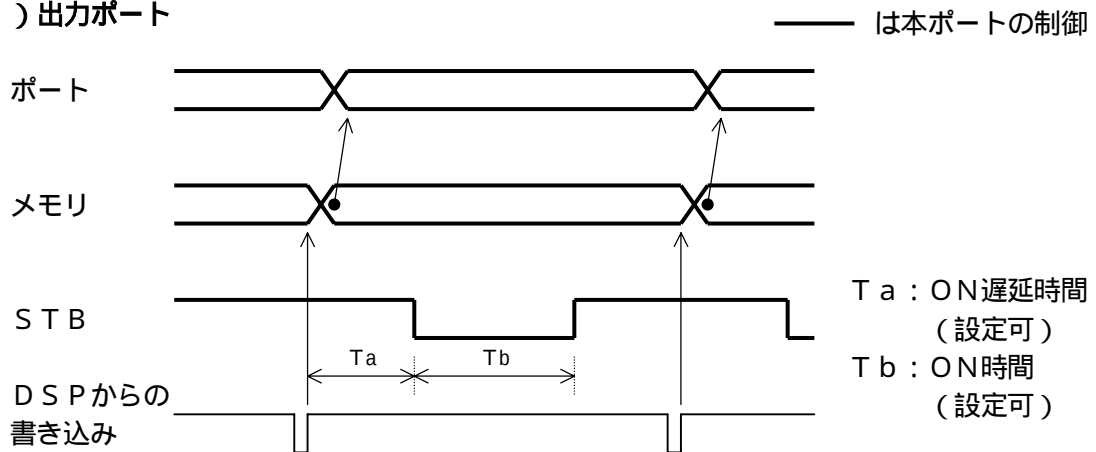


2) 入力ポート

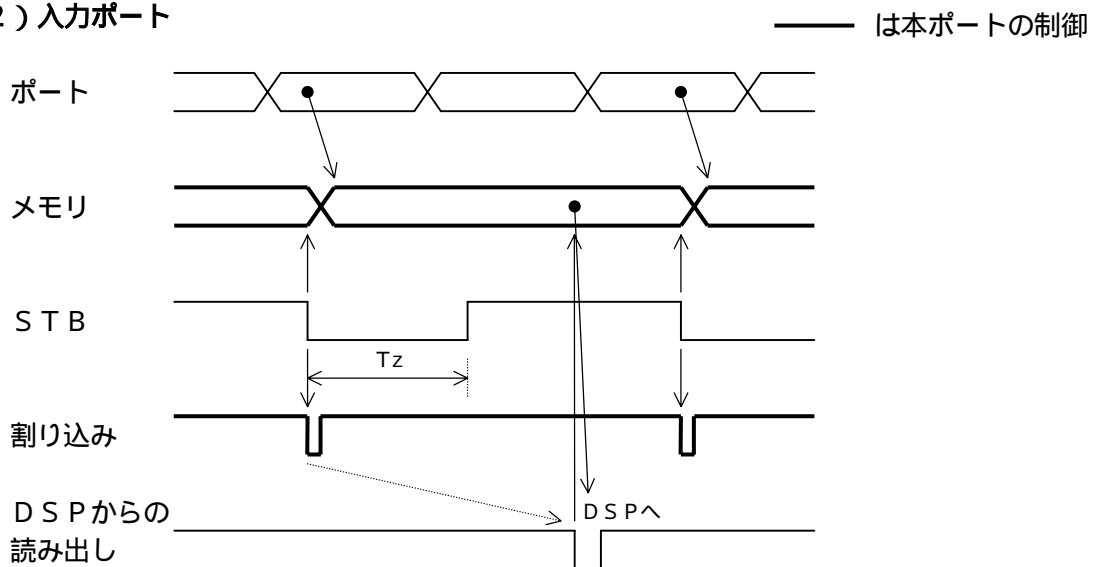


2) ライトストロープ方式のタイムチャート

1) 出力ポート



2) 入力ポート

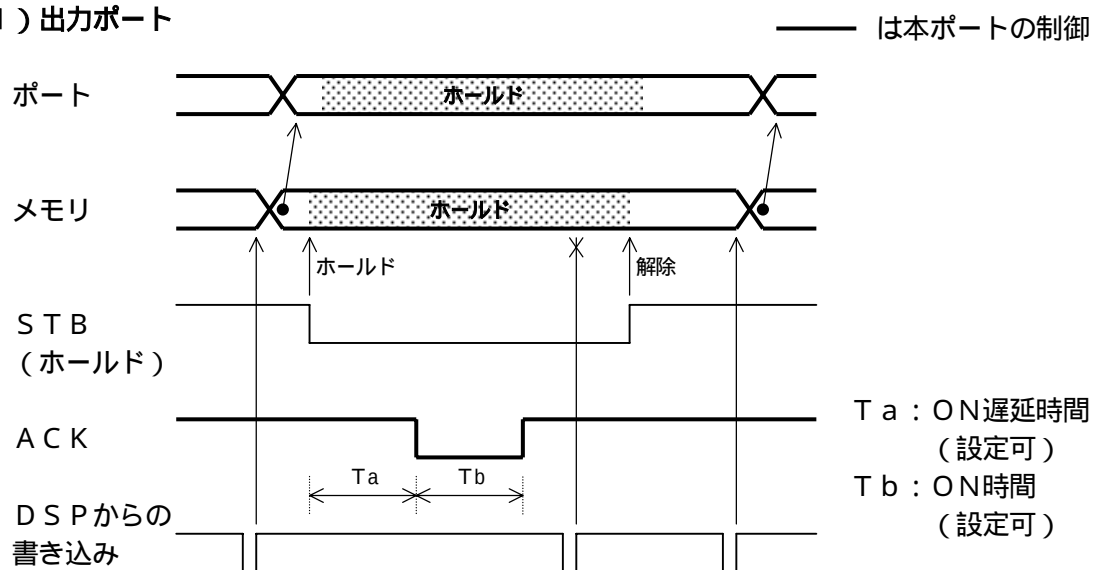


割り込み信号でメモリの読み出しを行ってください。

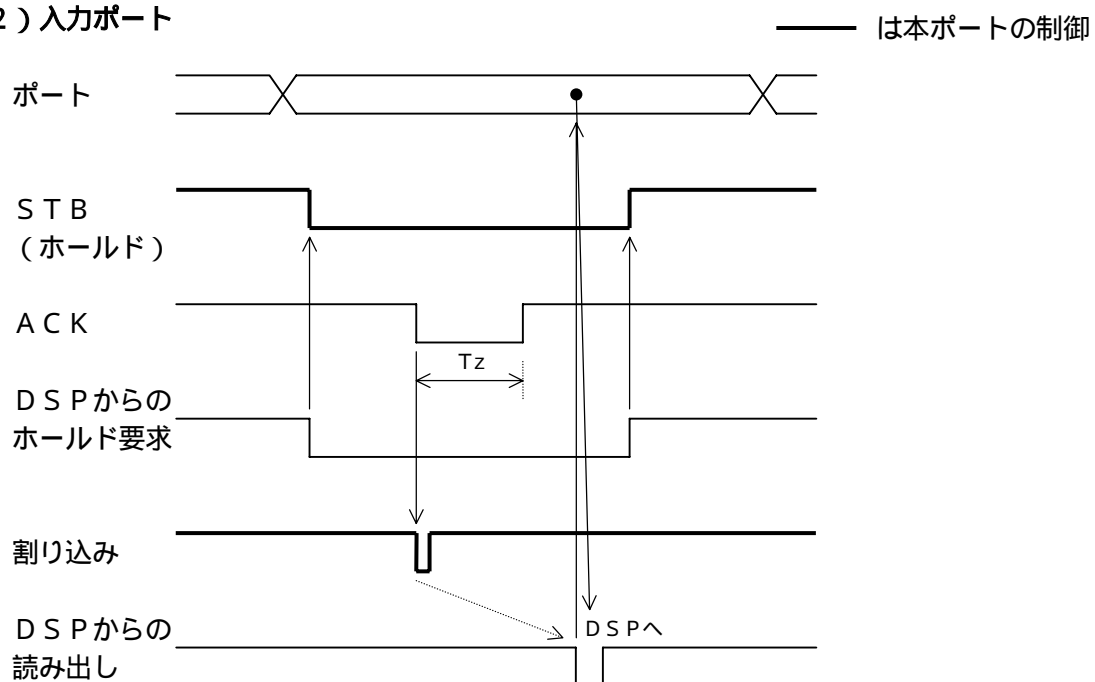
T_z : LVTTTL入出力のときは200nSec以上
 フォトカプラ絶縁入出力のときは100 μ Sec以上

3) ホールド方式のタイムチャート

1) 出力ポート



2) 入力ポート



割り込み信号でメモリの読み出しを行ってください。

Tz : LV TTL入出力のときは200nSec以上
 フォトカプラ絶縁入出力のときは100μSec以上

4.3 . PWM

4.3.1 . 3相モードと単相モード

本ボードのPWM出力回路は、3相モードと単相モードがあります。

1) 3相モードの出力

下図のような回路構成で3相PWM出力を行うことができます。
出力インターフェイスはフォトカプラ絶縁 + 5 Vです。

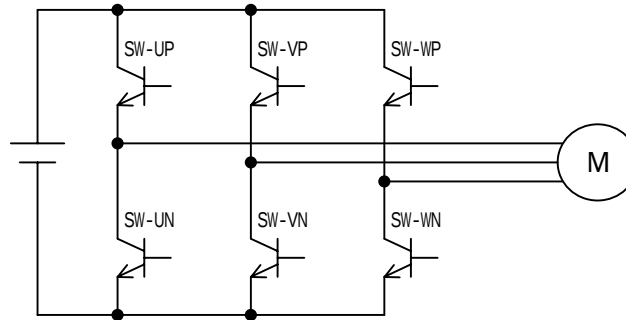


図 4 - 5 3相PWM出力の回路構成

2) 単相モードの出力

下図のような回路構成で単相PWM（Hブリッジ回路）出力を行うことができます。
出力インターフェイスはフォトカプラ絶縁 + 5 Vです。

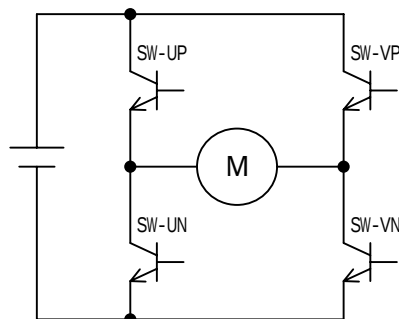


図 4 - 6 単相PWM出力の回路構成

4.3.2. 出力波形

本ボードのPWM出力波形は
 フルブリッジの正出力、フルブリッジの逆出力
 ハーフブリッジの正出力、ハーフブリッジの逆出力
 の4通りの出力が可能です。それぞれの出力波形は以下のとおりです。

1) フルブリッジの正出力

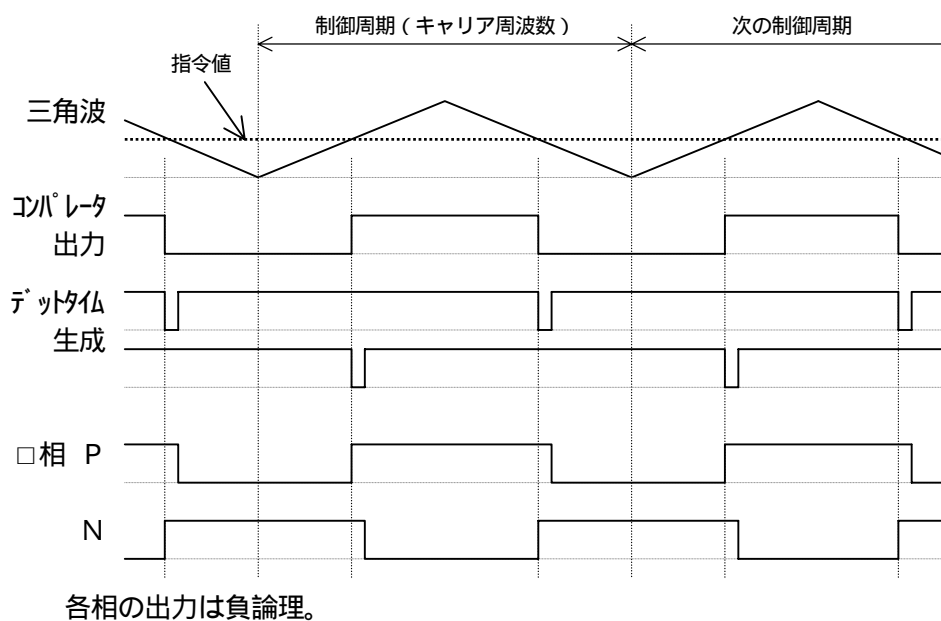


図 4 - 7 PWM出力波形 フルブリッジの正出力

2) フルブリッジの逆出力

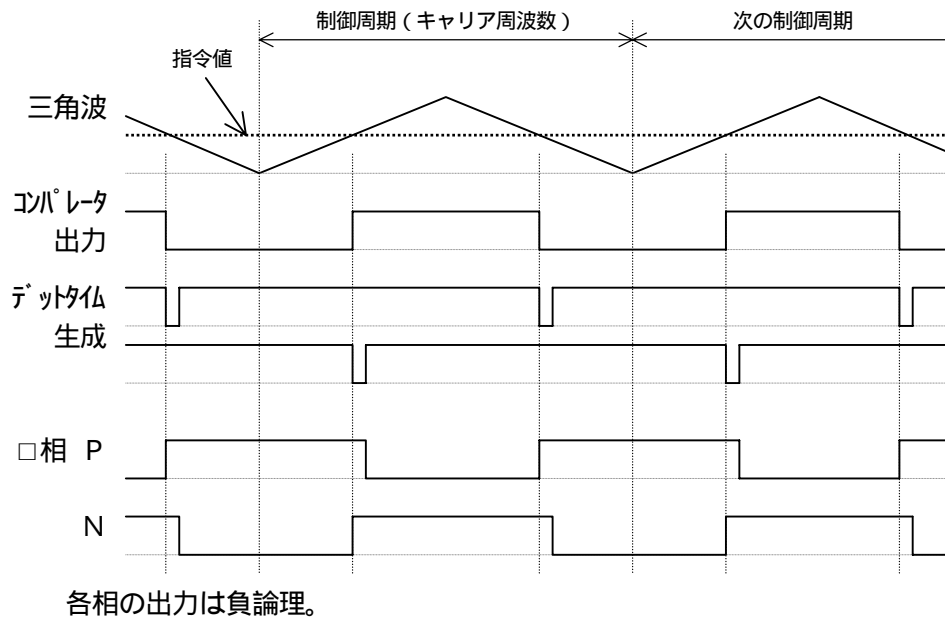
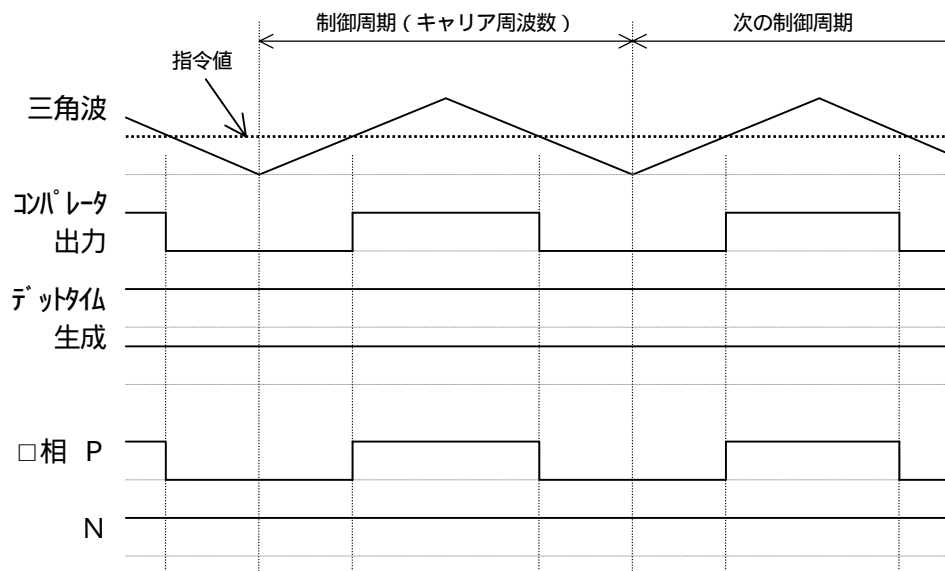


図 4 - 8 PWM出力波形 フルブリッジの逆出力

3) ハーフブリッジの正出力

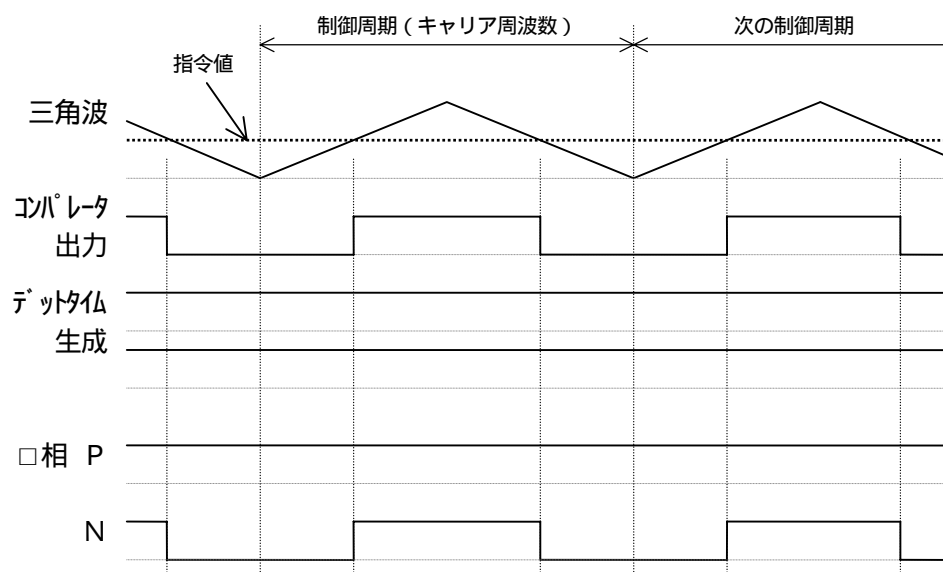


各相の出力は負論理。

デッドタイムは、逆出力に切り替えたときには生成されます。

図 4 - 9 PWM出力波形 ハーフブリッジの正出力

4) ハーフブリッジの逆出力



各相の出力は負論理。

デットタイムは、正出力に切り替えたときには生成されます。

図 4 - 1 0 PWM出力波形 ハーフブリッジの逆出力

4.3.3. 同期パルス出力

本ボードのPWM波形生成回路では、制御周期（キャリア周波数）に同期したパルス出力が可能です。このパルス信号は、A/D変換開始のトリガに使用するなどPWM制御周期に同期した制御に利用できます。この同期パルス出力はPWM制御周期毎（1周期に1出力）から数周期毎（2～255周期に1出力）の出力設定が可能です。（キャリア周波数設定と同期パルス出力設定を行えば、出力許可と関係なく同期パルスが出力されます）

パルス出力幅はPWM制御周期の1/2幅で出力され、負論理・正論理の出力切り替えが可能です。

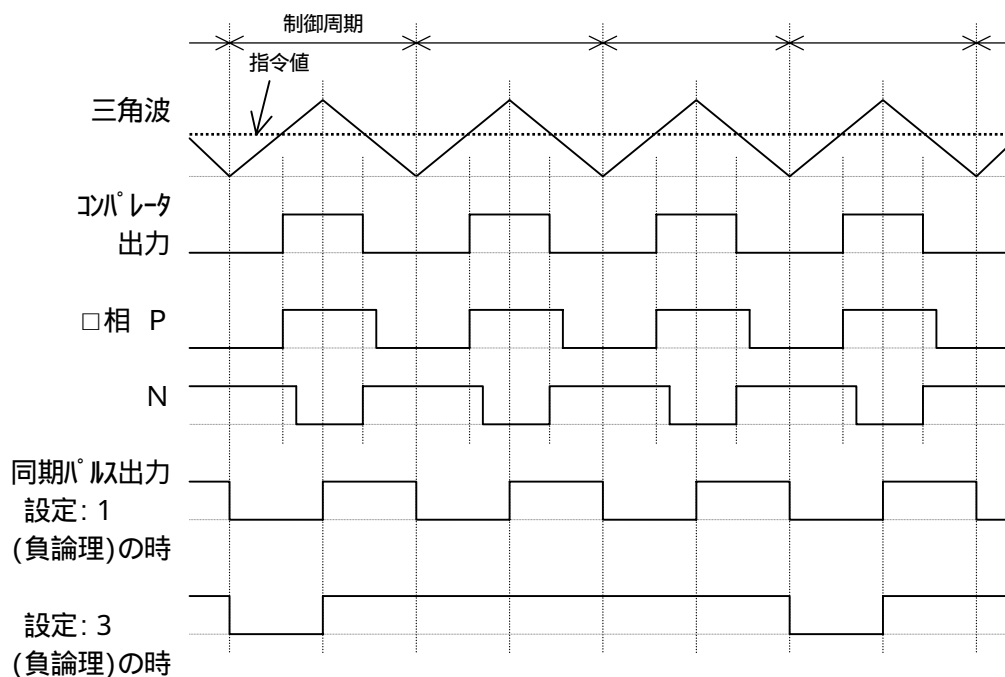


図 4 - 1 1 同期パルス出力波形

4.3.4. 設定データの反映タイミング

本ボードのPWM波形生成回路では、設定されたキャリア周波数データとDutyデータを反映するタイミングを周期に同期させるか、書き込み時に反映するかを選択できます。

1) 周期に同期して反映

「図 4 - 7 PWM出力波形 フルブリッジの正出力」の制御周期の途中でデータが書き込まれても波形生成回路には反映されず（出力波形には影響はなく）、次の制御周期へ切り替わったときにデータが反映されますので安定した出力が得られます。但し、最大1周期分の制御遅れが発生します。

2) 書き込み時に反映

データの書き込みがおこなわれた時点ですぐ波形生成回路に反映されます。データの書き込みが行われたときの制御周期での出力は意図しない波形となる場合がありますが、早く制御を切り替えることができます。

4.4. キャプチャ

4.4.1. 3相モードと単相モード

本ボードのキャプチャの波形入力回路は、3相PWMモードと単相PWMモードがあります。

1) 3相モードの入力

下図のような回路構成している3相PWM出力の波形をキャプチャすることができます。
本ボードの入力ピンへは、それぞれ図中トランジスタを駆動する信号を接続してください。
但し、入力インターフェイスはLVTTTLです。

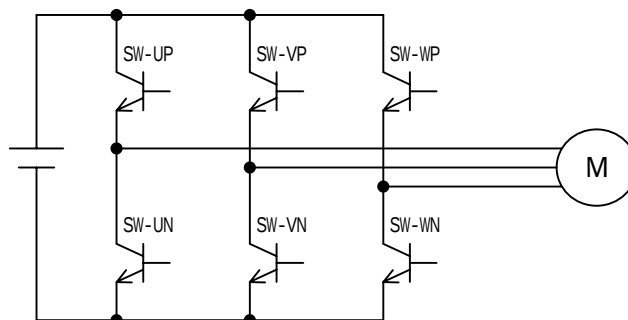


図 4-12 3相PWMのキャプチャ可能回路構成

2) 単相モードの入力

下図のような回路構成している単相PWM（Hブリッジ回路）出力の波形をキャプチャすることができます。
本ボードの入力ピンへは、それぞれ図中トランジスタを駆動する信号を接続してください。
但し、入力インターフェイスはLVTTTLです。

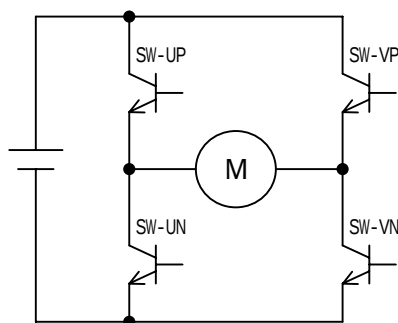


図 4-13 単相PWMのキャプチャ可能回路構成

4.4.2. 計測データ

本ボードのキャプチャにて計測したときの計測データの考え方は下記のとおりです。

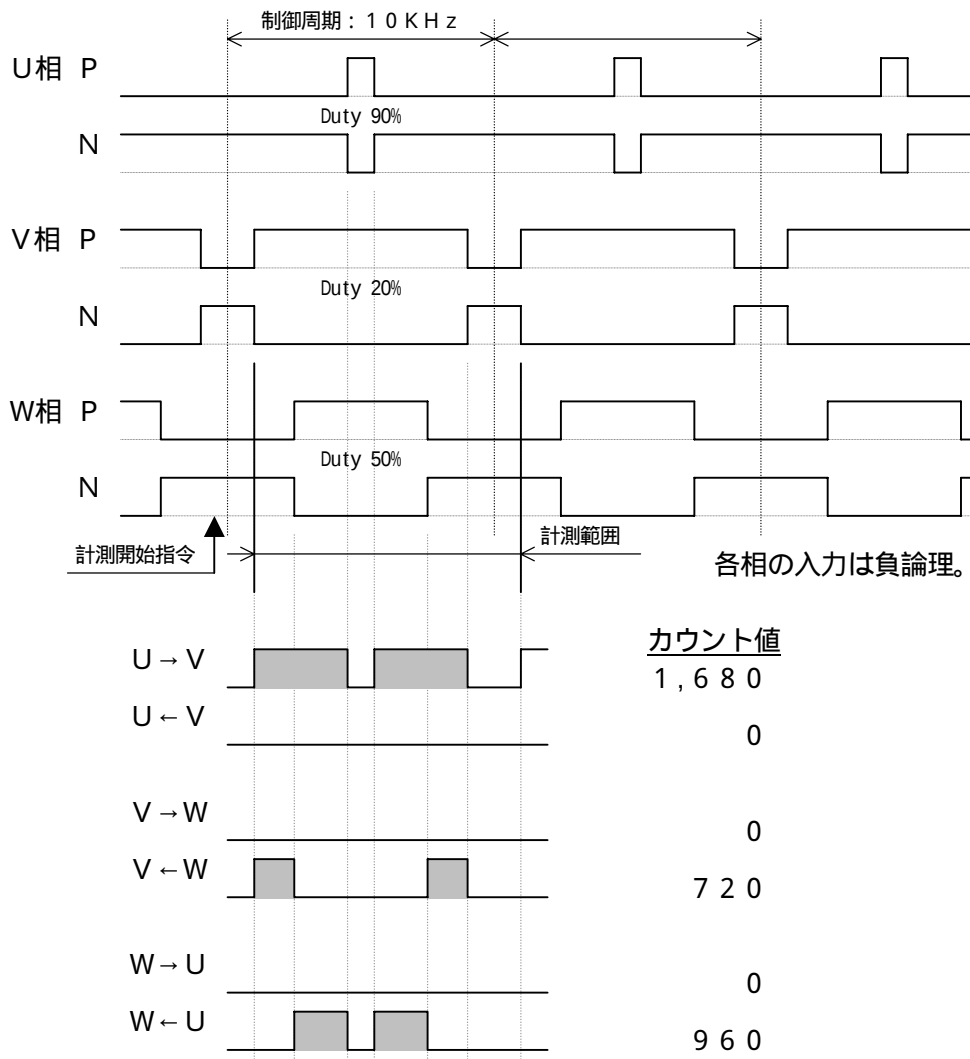


図 4-14 キャプチャしたPWM波形

「図 4-14 キャプチャしたPWM波形」のPWM波形をキャプチャした場合、各レジスタの値は、

制御周期	: 2,400		
UV相 ON時間	: 1,680	VU相 ON時間	: 0
VW相 ON時間	: 0	WV相 ON時間	: 720
WU相 ON時間	: 0	UW相 ON時間	: 960

となります。この値は各波形の組み合わせ入力を基準クロック24MHz(41.66・nSec)でカウントした値です。

制御周期データは、入力された制御波形の1周期の時間を基準クロックでカウントした値です。

(入力波形の内、いずれか1つの入力波形を計測します。)

各ON時間データは、入力された制御波形から各相間がONした時間を基準クロックでカウントした値です。例えば、UV相 ON時間はU相が+でV相が-のとき(電流方向がU相→V相)のカウント値で、VU相 ON時間はV相が+でU相が-のとき(電流方向がV相→U相)のカウント値です。

4.5 . パルスジェネレータ

4.5.1 . CW出力とCCW出力

本ボードのパルスジェネレータのパルス生成回路は、CW（正転）のときにA相がB相に対して進み位相のパルスを生成します。

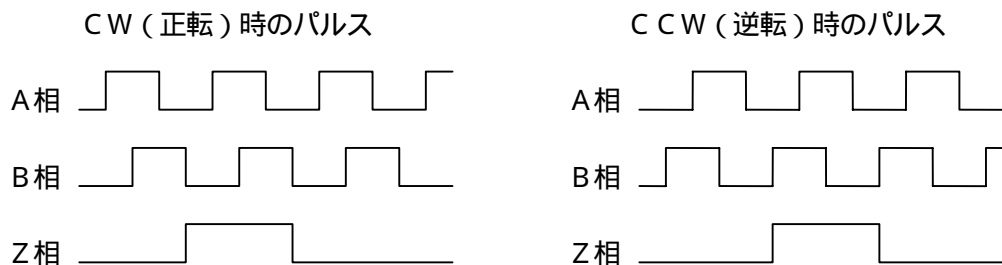


図 4 - 1 5 CW・CCWパルスの生成

4.5.2 . 出力波形

本ボードのパルスジェネレータの出力波形は下図のとおりです。

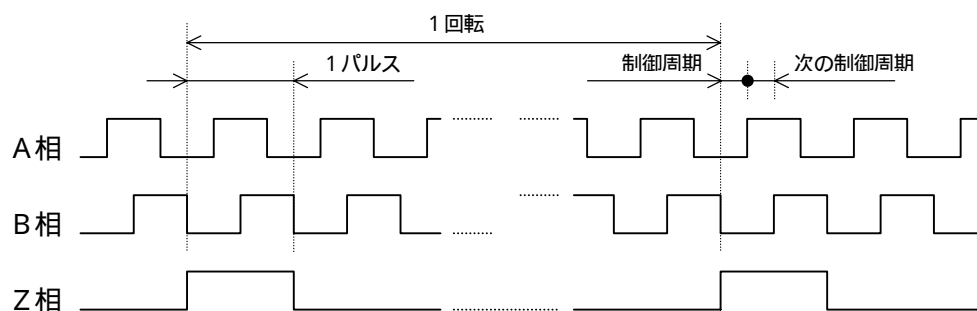


図 4 - 1 6 パルスジェネレータの出力波形

4.5.3. 周期データの反映タイミング

本ボードのパルスジェネレータのパルス生成回路では、設定されたパルス周期データを反映するタイミングを周期に同期させるか、書き込み時に反映するかを選択できます。

1) 周期に同期して反映

「図 4 - 1 6 パルスジェネレータの出力波形」の制御周期の途中でデータが書き込まれてもパルス生成回路には反映されず（出力波形には影響はなく）次の制御周期へ切り替わったときにデータが反映されますので安定した出力が得られます。但し、最大 1 周期分の制御遅れが発生します。

2) 書き込み時に反映

データの書き込みがおこなわれた時点ですぐ波形生成回路に反映されます。データの書き込みが行われたときの制御周期での出力は意図しない波形となる場合がありますが、早く制御を切り替えることができます。

4.5.4. 回転方向データの反映タイミング

本ボードのパルスジェネレータのパルス生成回路では、回転方向データは書き込み時に反映されます。

4.6. カウンタ

4.6.1. カウンタのアップ・ダウン

本ボードのカウンタの値は、A相がB相に対して進み位相のときにアップカウントします。



図 4 - 1 7 A B相入力とカウントの関係

4.6.2. カウンタの逡倍

本ボードのカウンタの逡倍は、下記のようになっています。

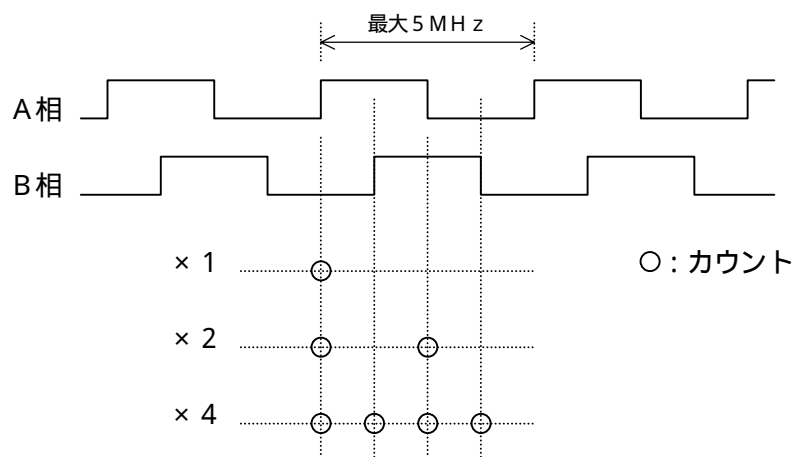


図 4 - 1 8 カウンタの逡倍

4.6.3. カウンタリセット

本ボードのカウンタ回路は外部よりカウンタ毎にリセットがかかることができるようになっています。リセットさせるには、カウンタリセット・レジスタに【1】を設定し、絶縁入力指定ビットが【1】(絶縁入力端子をGNDレベルにする)で、Z相が【Hi】、B相が【Lo】のときのA相の立ち上がり又は立ち下がりでゼロリセットされます。

チャンネル	カウンタリセット 許可 レジスタ	絶縁入力 指定ビット	Z相	B相	A相
チャンネル3	bit 4 【1】	CN13 - 74ピン 【1】	【Hi】	【Lo】	立ち上がり又は 立ち下がり
チャンネル2	bit 3 【1】	CN13 - 73ピン 【1】	【Hi】	【Lo】	立ち上がり又は 立ち下がり
チャンネル1	bit 2 【1】	CN13 - 72ピン 【1】	【Hi】	【Lo】	立ち上がり又は 立ち下がり
チャンネル0	bit 1 【1】	CN13 - 71ピン 【1】	【Hi】	【Lo】	立ち上がり又は 立ち下がり

表 4 - 1 カウンタリセット条件

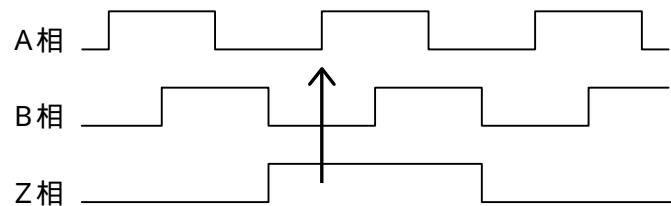


図 4 - 1 9 A B Z相のカウンタリセット条件

5. 初期設定

本ボードで初期設定が必要なものはディップスイッチ【DSW101】～【DSW104】とメモリマップされた各レジスタがあります。ディップスイッチの設定は大きく分けて2つの部分から構成されています。

1. ボードアドレスの設定
2. 割り込みフラグの設定

また、レジスタには

1. ウォッチドグタイマ コントロール
2. 割り込みコントロール
3. 各機能別の設定

などがあり、機能内容の選択のために初期設定を行います。

【注意】ディップスイッチの論理は下記のように定義されています。

DSW***	1	2	3	4	5	6	7	8
ON	■	■	■	■	□	□	□	□
OFF	□	□	□	□	■	■	■	■

DSW***の1～4の設定が“ON”、5～8の設定が“OFF”の状態を示しています。

DSW	ON	OFF
論理	0	1

図 5-1 ディップスイッチの論理表

5.1 . 共 通

5.1.1 . ボードアドレスの設定

本ボードはアドレスラインのA00～A08をデコードし、200h(512)ワードの領域を使用します。そして【DSW101】～【DSW102】を使用してA09～A23のアドレスを設定し900000h～90FFFFhの64Kワードの領域内に割り付けます。

下記に【DSW101】～【DSW103】のアドレス信号割り付けと設定例を示します。

また、拡張ボードは1台のDSPボードに対して4台まで接続することができますので、アドレスが重ならないように設定してください。

DSW101		DSW102		DSW103	
番号	信号名	番号	信号名	番号	信号名
8	A23	8	A15	8	未使用
7	A22	7	A14	7	未使用
6	A21	6	A13	6	未使用
5	A20	5	A12	5	未使用
4	A19	4	A11	4	未使用
3	A18	3	A10	3	未使用
2	A17	2	A09	2	未使用
1	A16	1	未使用	1	未使用

表 5-1 DSW101～DSW103の信号割り付け表

ボードアドレス：901000h

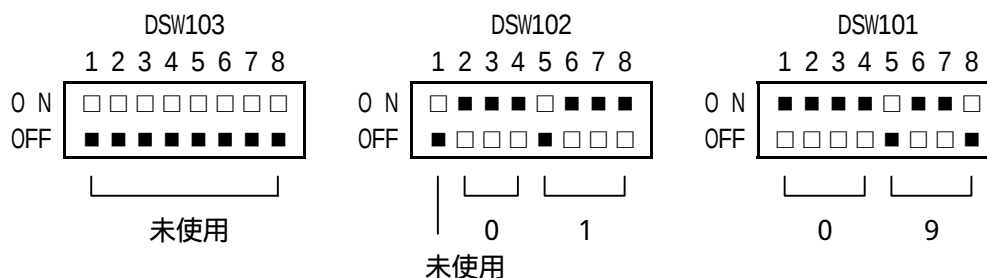


図 5-2 ボードアドレスの設定

【注意】ADSP324-00Aでは上記アドレス通りに割り付けられますが、
ADSP674-00では03000000h～033FFFFFFh
(03000000h～0303FFFFFFh)に割り付けられます。
(ADSP674-00 ハードウェアマニュアル「拡張バス」参照)

(例) 本ボードのアドレスを901000hに設定した場合、
ADSP674-00のアドレスは03004000hになります。

5.1.2. 割り込みフラグ

割り込みフラグはどの周辺ボードが割り込みを発生しているかを識別するためのものです。ボード毎に任意のフラグを【DSW104】を使って設定することができます。DSPボードにはこの割り込みフラグを90FFFFhのD00～D07より読み出すことができます。

下記に【DSW104】のデータ信号割り付けと出荷時の設定を示します。

DSW104		
番号	信号名	90FFFFh
8	割り込みフラグ8	D07
7	割り込みフラグ7	D06
6	割り込みフラグ6	D05
5	割り込みフラグ5	D04
4	割り込みフラグ4	D03
3	割り込みフラグ3	D02
2	割り込みフラグ2	D01
1	割り込みフラグ1	D00

表 5-2 DSW104の信号割り付け表

割り込みフラグ：設定なし

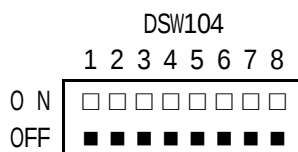


図 5-3 割り込みフラグの設定

5.1.3. 割り込みコントロール・レジスタの設定

割り込みコントロール・レジスタは、割り込みの許可 / 未許可の選択を行います。電源投入時、このレジスタはイニシャルリセットされ【b i t 0】～【b i t 10】はすべて【0】になっています。

【b i t 2】～【b i t 9】は、実装される機能により多少異なります。

割り込みコントロール レジスタ	0	1
b i t 10	外部割り込みの未許可	外部割り込みの許可
b i t 9	ポート 3 H の割り込み未許可	ポート 3 H の割り込み許可
b i t 8	ポート 3 L の割り込み未許可	ポート 3 L の割り込み許可
b i t 7	-	-
b i t 6	-	-
b i t 5	ポート 1 H の割り込み未許可	ポート 1 H の割り込み許可
b i t 4	ポート 1 L / キャプチャ の割り込み未許可	ポート 1 L / キャプチャ の割り込み許可
b i t 3	-	-
b i t 2	-	-
b i t 1	全割り込み未許可	全割り込み許可
b i t 0	外部割り込みの トリガスロープ ↓	外部割り込みの トリガスロープ ↑

表 5 - 3 割り込みコントロール・レジスタ

5.2. パラレル入出力

この機能を使用するときの初期設定する必要のあるレジスタには

1. モード、ハンドリング方式選択
2. ハンドリング信号の極性 (L V T T L のみ)
3. ハンドリング信号のON時間
4. ハンドリング信号のON遅延時間

などがあり、機能内容の選択のために初期設定を行います。

なお、初期状態では、モード【32 bit】、ハンドリング方式【なし】、ハンドリング信号の極性【負論理】、ハンドリング信号のON時間【0】、ハンドリング信号のON遅延時間【0】となっています。

5.2.1. モード・ハンドリング方式選択・レジスタの設定

モード・ハンドリング方式選択・レジスタは、各ポートのモード【32 bit】【16 bit】の選択と、各ポートのハンドリング方式の【なし】【STB / ACK】【ライトストロブ】【ホールド】選択を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【bit 0】～【bit 17】はすべて【0】になっています。

モード レジスタ		0	1
bit 17	入力ポート 1 / 3	32 bit	16 bit
bit 16	出力ポート 0 / 2	32 bit	16 bit

表 5-4 モード選択・レジスタ

ハンドリング方式 レジスタ			なし	STB / ACK	ライトストロブ	ホールド
bit 15	入力ポート 1 / 3	上位	-	-	-	-
bit 14			0	0	0	1
bit 13			0	0	1	0
bit 12			0	1	0	0
bit 11		下位	-	-	-	-
bit 10			0	0	0	1
bit 9			0	0	1	0
bit 8			0	1	0	0
bit 7	出力ポート 0 / 2	上位	-	-	-	-
bit 6			0	0	0	1
bit 5			0	0	1	0
bit 4			0	1	0	0
bit 3		下位	-	-	-	-
bit 2			0	0	0	1
bit 1			0	0	1	0
bit 0			0	1	0	0

各ポートのモード選択が【32ビット】のときは、上位側の設定が有効になります。

表 5-5 ハンドリング方式・レジスタ

5.2.2. ハンドリング信号の極性・レジスタの設定

ハンドリング信号の極性・レジスタは、各ポートのハンドリング信号の極性【負論理】【正論理】の選択を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【b i t 0】～【b i t 7】はすべて【0】になっています。

ハンドリング信号の状態 レジスタ				0	1
b i t 7	入力ポート	上位	A C K	負論理	正論理
b i t 6			S T B	負論理	正論理
b i t 5		下位	A C K	負論理	正論理
b i t 4			S T B	負論理	正論理
b i t 3	出力ポート	上位	A C K	負論理	正論理
b i t 2			S T B	負論理	正論理
b i t 1		下位	A C K	負論理	正論理
b i t 0			S T B	負論理	正論理

各ポートのモード選択が【32ビット】のときは、上位側の設定が有効になります。

表 5 - 6 ハンドリング信号の極性・レジスタ

5.2.3. ハンドリング信号ON時間・レジスタの設定

ハンドリング信号ON時間・レジスタは、各ポートのハンドリング信号ON時間の設定を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【0】になっています。ハンドリングの詳細につきなしては、「4.2.2 ハンドリング方式」を参照してください。

5.2.4. ハンドリング信号ON遅延時間・レジスタの設定

ハンドリング信号ON遅延時間・レジスタは、各ポートのハンドリング信号ON遅延時間の設定を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【0】になっています。

ハンドリングの詳細につきなしては、「4.2.2 ハンドリング方式」を参照してください。

5.3. PWM

この機能を使用するときの初期設定する必要のあるレジスタには

1. モード選択、出力許可
2. 設定データ反映タイミング
3. デットタイム

などがあり、機能内容の選択のために初期設定を行います。

なお、初期状態では、モード【3相モード】、出力許可【未許可】、設定データ反映タイミング【周期に同期】、デットタイム【0】となっています。

5.3.1. モード選択、出力許可・レジスタの設定

モード選択、出力許可・レジスタは、PWM出力モード【3相モード】【単相モード】の選択とチャンネル毎の【出力許可】【出力未許可】の選択を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【bit 0】～【bit 4】はすべて【0】になっています。

モード選択、出力許可 レジスタ	チャンネル	0	1
bit 4	チャンネル3	出力未許可	出力許可
bit 3	チャンネル2	出力未許可	出力許可
bit 2	チャンネル1	出力未許可	出力許可
bit 1	チャンネル0	出力未許可	出力許可
bit 0	共通	3相モード	単相モード

表 5-7 モード選択、出力許可・レジスタ

5.3.2. 設定データ反映タイミング・レジスタの設定

設定データ反映タイミング・レジスタは、データ一括書き込み指令・レジスタへの書き込みによって制御プロセスへ反映された、キャリア周波数と各Dutyデータを波形生成回路に反映するタイミング【周期に同期】【書き込み時】の選択を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【bit 1】～【bit 4】はすべて【0】になっています。

設定データ反映タイミング レジスタ	チャンネル	0	1
bit 4	チャンネル3	周期に同期	書き込み時
bit 3	チャンネル2	周期に同期	書き込み時
bit 2	チャンネル1	周期に同期	書き込み時
bit 1	チャンネル0	周期に同期	書き込み時
bit 0	-	-	-

表 5-8 設定データ反映タイミング・レジスタ

5.3.3. デットタイム・レジスタの設定

デットタイム・レジスタは、チャンネル毎のデットタイムの設定を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【0】になっています。

【注意】本ボードの出力部で使用していますフォトカプラ（TLP115A）の伝達時間に多少のバラツキがありますので、デットタイム・レジスタへの設定を【1】以上にして動作させてください。

5.3.4. 同期パルス出力・レジスタの設定

同期パルス出力・レジスタはチャンネル毎の同期パルス出力の設定を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【0】になっています。

5.4. キャプチャ

この機能を使用するときの初期設定する必要のあるレジスタには

1. モード

などがあり、機能内容の選択のために初期設定を行います。

なお、初期状態では、モード【3相モード】となっています。

5.4.1. モード選択・レジスタの設定

モード選択・レジスタは、キャプチャの入力モード【3相モード】【単相モード】の選択を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【bit 0】は【0】になっています。

モード選択レジスタ	0	1
bit 0	3相モード	単相モード

表 5-9 モード選択・レジスタ

5.5． パルスジェネレータ

この機能を使用するときの初期設定する必要のあるレジスタには

1．1 回転のパルス数

などがあり、機能内容の選択のために初期設定を行います。

なお、初期状態では、1 回転のパルス数【0】となっています。

5.5.1． 1 回転のパルス数・レジスタの設定

1 回転のパルス数・レジスタは、チャンネル毎の 1 回転パルス数、すなわち Z 相の出力を 90° 位相差パルスの何パルスに一回出力するかを設定できます。電源投入時、このレジスタはイニシャルリセットされ【0】になっています。

Z 相の出力タイミングの詳細につきなしては、「4.5.2 出力波形」を参照してください。

5.6. カウンタ

この機能を使用するときの初期設定する必要のあるレジスタには

1. 逓倍選択
2. リセット許可

などがあり、機能内容の選択のために初期設定を行います。

なお、初期状態では、逓倍選択【×4】、リセット許可【未許可】となっています。

5.6.1. カウンタ逓倍選択・レジスタの設定

カウンタ逓倍選択・レジスタは、チャンネル毎のカウント逓倍【×1】、【×2】、【×4】の選択を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【bit 0】～【bit 15】はすべて【0】になっています。

カウンタの逓倍の詳細につきましては、「4.6.2 カウンタの逓倍」を参照してください。

モード選択レジスタ	チャンネル	×4	×1	×2
bit 15	-	-	-	
bit 14	-	-	-	
bit 13	チャンネル3	0	0	1
bit 12		0	1	0
bit 11	-	-	-	
bit 10	-	-	-	
bit 9	チャンネル2	0	0	1
bit 8		0	1	0
bit 7	-	-	-	
bit 6	-	-	-	
bit 5	チャンネル1	0	0	1
bit 4		0	1	0
bit 3	-	-	-	
bit 2	-	-	-	
bit 1	チャンネル0	0	0	1
bit 0		0	1	0

表 5-10 カウンタ逓倍選択・レジスタ

5.6.2. カウンタ リセット許可・レジスタの設定

カウンタ リセット許可・レジスタは、チャンネル毎のカウンタリセットの【許可】【未許可】の選択を行うことができます。電源投入時、このレジスタはイニシャルリセットされ【b i t 1】～【b i t 4】はすべて【0】になっています。

カウンタリセット許可 レジスタ	チャンネル	0	1
b i t 4	チャンネル3	未許可	許可
b i t 3	チャンネル2	未許可	許可
b i t 2	チャンネル1	未許可	許可
b i t 1	チャンネル0	未許可	許可
b i t 0	-	-	-

表 5 - 1 1 カウンタリセット許可・レジスタ

6. ボードの制御とメモリマップ

本ボードは200h(512)ワードのメモリ領域を使用しています。ボードのベースアドレスは【DSW101】～【DSW103】を使って設定します。ボードを複数台使用した場合は、各ボードのメモリマップが重ならないようにベースアドレスを設定してください。

6.1. メモリマップ(アウトライン)

本ボードのベースアドレスを901000hに設定した場合のメモリマップを下記に示します。
割り込みコントロール・レジスタ等は操作内容により初期設定が必要になります。

324-00A アドレス	674-00 アドレス	WRITE	READ
901000h 90100Fh	03004000h 0300403Ch	共通領域	共通領域
901010h 9010FFh	03004040h 030043FCh	実装する機能によって異なる領域	実装する機能によって異なる領域
901100h 9011FFh	03004400h 030047FCh	DSP操作ターミナル関係の領域	DSP操作ターミナル関係の領域
90FFFFh	0303FFFCh	全割り込みボードフラグリセット	全割り込みボードフラグ読み出し

表 6-1 メモリマップ(アウトライン)

DSP操作ターミナル関係の領域の詳細は、
別冊の『DSP操作ターミナル GOT接続ガイド』を参照してください。

6.1.1. 機能別の参照メモリマップ

本ボードのアドレス901010h～9010FFhは、実装されている機能によって内容が変わります。下記に実装されている機能と参照するメモリマップの対応を示します。

1) 型式: ADSP-145 IOIO-▲ の場合

実装されている機能	参照するメモリマップ
パラレル入出力	6.3.1 パラレル入出力 ポート0・1のメモリマップ
パラレル入出力	6.3.2 パラレル入出力 ポート2・3のメモリマップ

表 6-2 機能「IOIO-▲」の参照メモリマップ

2) 型式: ADSP-145 PWCN の場合

実装されている機能	参照するメモリマップ
PWM	6.4.1 PWM/パラレル入力のメモリマップ
カウンタ	6.7.1 パラレル出力/カウンタのメモリマップ

表 6-3 機能「PWCN」の参照メモリマップ

3) 型式: ADSP-145 CPPL の場合

実装されている機能	参照するメモリマップ
キャプチャ	6.5.1 パラレル出力/キャプチャのメモリマップ
パルスジェネレータ	6.6.1 パルスジェネレータ/パラレル入力のメモリマップ

表 6-4 機能「CPPL」の参照メモリマップ

4) 型式: ADSP-145 PWIO-▲ の場合

実装されている機能	参照するメモリマップ
PWM	6.4.1 PWM/パラレル入力のメモリマップ
パラレル入出力	6.3.2 パラレル入出力 ポート2・3のメモリマップ

表 6-5 機能「PWIO-▲」の参照メモリマップ

5) 型式: ADSP-145 IOCN-▲ の場合

実装されている機能	参照するメモリマップ
パラレル入出力	6.3.1 パラレル入出力 ポート0・1のメモリマップ
カウンタ	6.7.1 パラレル出力/カウンタのメモリマップ

表 6-6 機能「IOCN-▲」の参照メモリマップ

6.2. 共 通

この領域は、どの機能が実装されていても内容は変わらない領域です。

この領域のソフトウェアによる制御は、

1. ウォッチドグタイマのコントロール
2. ウォッチドグタイマのカウンタリセット
3. 割り込み信号のマスク制御
4. 割り込みフラグの読み出しとリセット

等があります。

6.2.1. 共通のメモリマップ

324-00A アドレス	674-00 アドレス	WRITE	READ
901000h	03004000h	(予約エリア)	(予約エリア)
901001h	03004004h		
901002h	03004008h		
901003h	0300400Ch		
901004h	03004010h		
901005h	03004014h		
901006h	03004018h		
901007h	0300401Ch		
901008h	03004020h		
901009h	03004024h		
90100Ah	03004028h	ウォッチドグタイマ コントロール	
90100Bh	0300402Ch	ウォッチドグタイマ カウンタリセット	
90100Ch	03004030h	割り込み コントロール	
90100Dh	03004034h	割り込みポートフラグリセット	割り込みポートフラグ読み出し
90100Eh	03004038h		
90100Fh	0300403Ch		
90FFFFh	0303FFFCh	全割り込みボードフラグリセット	全割り込みボードフラグ読み出し

表 6 - 7 共通領域のメモリマップ

6.2.2. ウォッチドグタイマ コントロール・レジスタの設定

ウォッチドグタイマ コントロール・レジスタは、【ベースアドレス + 0Ah】にマップされています。このレジスタにはウォッチドグタイマの監視周期を μSec 単位で設定します。

設定範囲は、0 ~ 60,000,000 μSec (1 μSec ステップ)です。

【0】以外の値を設定するとウォッチドグタイマ機能は自動的に動作を開始します。このレジスタに設定した監視周期以内にウォッチドグタイマ カウントリセット・レジスタへの書き込みがない場合はウォッチドグエラーとなり、CN4 - 11ピンが【ハイインピーダンス】になります。

(正常時は【Lo】(GNDレベル)です。)

エラー発生後、このレジスタに【0】を設定するとウォッチドグタイマ機能は動作を停止し、エラー出力をリセットし、CN4 - 11ピンが【Lo】(GNDレベル)になります。

6.2.3. ウォッチドグタイマ カウントリセット・レジスタ

ウォッチドグタイマ カウントリセット・レジスタは、【ベースアドレス + 0Bh】にマップされています。このレジスタに書き込みを行うことによりウォッチドグタイマ機能のカウンタをリセットすることができます。ウォッチドグタイマ コントロール・レジスタに設定した監視周期以内にこのレジスタへの書き込みがない場合、ウォッチドグエラーとなり、CN4 - 11ピンが【ハイインピーダンス】になります。(正常時は【Lo】(GNDレベル)です。)

6.2.4. 割り込みコントロール・レジスタの設定

割り込みコントロール・レジスタは、割り込みの許可・未許可の選択を行います。このレジスタは【ベースアドレス + 0Ch】にマップされています。外部割り込み入力(CN4 - 8ピン)または各ポートにより割り込みを発生させてDSPに知らせます。

割り込みコントロール・レジスタ【bit0】が【0】のとき、外部割り込み入力が【Hi】から【Lo】の立ち下がりエッジで割り込みが発生します。割り込みコントロール・レジスタ【bit0】が【1】のとき、外部割り込み入力が【Lo】から【Hi】の立ち下がりエッジで割り込みが発生します。(【Hi】: +3.3Vレベル 【Lo】: GNDレベル)

外部割り込みの入力信号は、200nSec以上の幅で入力してください。また、【bit0】の設定は、【bit10】を【1】に設定(外部割り込みの許可)する前に行ってください。

割り込みコントロール・レジスタ【bit1】が【1】のとき、全ての割り込み信号により割り込みを発生させます。割り込みコントロール・レジスタ【bit1】が【0】のとき、【bit2】～【bit10】の個々の設定により割り込みを発生させることができます。

【bit2】～【bit9】は、実装される機能により多少異なります。

パラレル入力機能が実装されている場合は、各ポートのハンドリングにて割り込みが発生します。各ハンドリングのタイムチャートにつきましては、「4.2.2 ハンドリング方式」を参照してください。

キャプチャ機能が実装されている場合は、各チャンネルの計測完了を1つにまとめて割り込みが発生します。どのチャンネルが計測完了しているかはキャプチャ・計測完了フラグの読み出し・レジスタで確認ができます。

その他の機能から割り込みが発生することはありません。

割り込みコントロールレジスタ	0	1
bit10	外部割り込みの未許可	外部割り込みの許可
bit9	ポート3Hの割り込み未許可	ポート3Hの割り込み許可
bit8	ポート3Lの割り込み未許可	ポート3Lの割り込み許可
bit7	-	-
bit6	-	-
bit5	ポート1Hの割り込み未許可	ポート1Hの割り込み許可
bit4	ポート1L / キャプチャの割り込み未許可	ポート1L / キャプチャの割り込み許可
bit3	-	-
bit2	-	-
bit1	全割り込み未許可	全割り込み許可
bit0	外部割り込みのトリガスロープ ↓	外部割り込みのトリガスロープ ↑

表 6-8 割り込みコントロール・レジスタ

割り込み : ADSP324 - 00A : INT3
ADSP674 - 00シリーズ : INT7

6.2.5. 割り込みポートフラグ・レジスタ

割り込みポートフラグ・レジスタは、本ボードのどのポートが割り込みを発生させているかを識別するためのレジスタです。このレジスタは【ベースアドレス + 0 D h】にマップされています。割り込みが発生しているビットには【0】がセットされ、割り込みの無いビットには【1】がセットされます。割り込みポートフラグ・レジスタは【b i t 0】～【b i t 8】までの9ビットで構成され、【b i t 9】～【b i t 3 1】までは不定です。

【ベースアドレス+ 0 D h】番地に書き込みを行うことにより割り込みポートフラグ・レジスタをリセットします。

割り込みポ ートフラグ レジスタ	
b i t 8	外部割り込み
b i t 7	ポート 3 Hの割り込み
b i t 6	ポート 3 Lの割り込み
b i t 5	-
b i t 4	-
b i t 3	ポート 1 Hの割り込み
b i t 2	ポート 1 L / キャプチャの割り込み
b i t 1	-
b i t 0	-

表 6-9 割り込みポートフラグ・レジスタ

6.2.6. 割り込みボードフラグ・レジスタ

割り込みボードフラグ・レジスタは、どのボードが割り込みを発生させているかを識別するためのレジスタです。このレジスタは【9 0 F F F F h】にマップされています。割り込みが発生しているビットには【0】がセットされ、割り込みの無いビットには【1】がセットされます。そして本ボードが割り込みを発生したときに、この割り込みボードフラグ・レジスタのどのビットに【0】を立てるかを【D S W 1 0 4】を使って選択します。割り込みを識別できる数は8つです。割り込みフラグ・レジスタは【b i t 0】～【b i t 7】までの8ビットで構成され、【b i t 8】～【b i t 3 1】までは不定です。

そして割り込みを示している【b i t】のみリセットする場合は【ベースアドレス+ 0 D h】番地に書き込みを行うことによりそのボードフラグビットをリセットします。

また【9 0 F F F F h】番地に書き込みを行うことにより割り込みボードフラグ・レジスタ全体をリセットします。

6.3. パラレル入出力

この機能を使用するときのソフトウェアによる制御は、

1. 32 / 16 bit データの外部への出力
2. 32 / 16 bit データの外部からの読み出し
3. ホールド要求信号のON / OFF
4. ハンドリング信号の状態読み出し
5. モード、ハンドリング方式選択
6. ハンドリング信号の極性 (LV TTLのみ)
7. ハンドリング信号のON時間
8. ハンドリング信号のON遅延時間

等があります。

6.3.1. パラレル入出力 ポート0・1のメモリマップ

324-00A アドレス	674-00 アドレス	WRITE	READ
901010h	03004040h	パラレル出力 ポート0 32 bit データ	(左記設定値の読み出し)
901011h	03004044h	パラレル出力 ポート0 下位16 bit データ	(左記設定値の読み出し)
901012h	03004048h	パラレル出力 ポート0 上位16 bit データ	(左記設定値の読み出し)
901013h	0300404Ch		パラレル入力 ポート1 32 bit データ読み出し
901014h	03004050h		パラレル入力 ポート1 下位16 bit データ読み出し
901015h	03004054h		パラレル入力 ポート1 上位16 bit データ読み出し
901016h	03004058h		
901017h	0300405Ch		
901018h	03004060h	パラレル入力 ポート1 下位16 bit ホールド要求	
901019h	03004064h	パラレル入力 ポート1 32 bit / 上位16 bit ホールド要求	
90101Ah	03004068h		パラレル入出力 ポート0・1 ハンドリング信号の状態読み出し
90101Bh	0300406Ch		
90101Ch	03004070h	パラレル入出力 ポート0・1 モード、ハンドリング方式選択	(左記設定値の読み出し)
90101Dh	03004074h	パラレル入出力 ポート0・1 ハンドリング信号の極性 (TTL入出力のときのみ)	(左記設定値の読み出し)
90101Eh	03004078h	パラレル入出力 ポート0 ハンドリング信号ON時間	
90101Fh	0300407Ch	パラレル入出力 ポート0 ハンドリング信号ON遅延時間	

表 6-10 パラレル入出力 ポート0・1のメモリマップ

6.3.2. パラレル入出力 ポート2・3のメモリマップ

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901040h	03004100h	パラレル出力 ポート2 3 2 b i t データ	(左記設定値の読み出し)
901041h	03004104h	パラレル出力 ポート2 下位 1 6 b i t データ	(左記設定値の読み出し)
901042h	03004108h	パラレル出力 ポート2 上位 1 6 b i t データ	(左記設定値の読み出し)
901043h	0300410Ch		パラレル入力 ポート3 3 2 b i t データ読み出し
901044h	03004110h		パラレル入力 ポート3 下位 1 6 b i t データ読み出し
901045h	03004114h		パラレル入力 ポート3 上位 1 6 b i t データ読み出し
901046h	03004118h		
901047h	0300411Ch		
901048h	03004120h	パラレル入力 ポート3 下位 1 6 b i t ホールド要求	
901049h	03004124h	パラレル入力 ポート3 3 2 b i t / 上位 1 6 b i t ホールド要求	
90104Ah	03004128h		パラレル入出力 ポート2・3 ハンドリング信号の状態読み出し
90104Bh	0300412Ch		
90104Ch	03004130h	パラレル入出力 ポート2・3 モード、ハンドリング方式選択	(左記設定値の読み出し)
90104Dh	03004134h	パラレル入出力 ポート2・3 ハンドリング信号の極性 (T T L 入出力のときのみ)	(左記設定値の読み出し)
90104Eh	03004138h	パラレル入出力 ポート2 ハンドリング信号ON時間	
90104Fh	0300413Ch	パラレル入出力 ポート2 ハンドリング信号ON遅延時間	

表 6 - 1 1 パラレル入出力 ポート2・3のメモリマップ

6.3.3. 平行出力ポート0 / 2・32 bitデータ・レジスタの設定

平行出力ポート0 / 2・32 bitデータ・レジスタは、【ベースアドレス + 10h / 40h】にマップされています。このレジスタにデータを書き込むことにより外部回路にデータを出力することができます。このデータは次のデータが出力されるまでラッチしています。
このレジスタは、平行入出力ポート0 / 2のモード選択が【32ビット】のとき有効です。

6.3.4. 平行出力ポート0 / 2・下位16 bitデータ・レジスタの設定

平行出力ポート0 / 2・下位16 bitデータ・レジスタは、【ベースアドレス + 11h / 41】にマップされています。このレジスタに書き込まれた下位16 bitデータが、外部回路の下位16 bitへ出力することができます(上位16 bitの出力には影響はありません)。このデータは次のデータが出力されるまでラッチしています。
このレジスタは、平行入出力ポート0 / 2のモード選択が【16ビット】のとき有効です。
レジスタとポートの関係につきましては、「4.2.1 32 bitモードと16 bitモード」を参照してください。

6.3.5. 平行出力ポート0 / 2・上位16 bitデータ・レジスタの設定

平行出力ポート0 / 2・上位16 bitデータ・レジスタは、【ベースアドレス + 12h / 42】にマップされています。このレジスタに書き込まれた上位16 bitデータが、外部回路の上位16 bitへ出力することができます(下位16 bitの出力には影響はありません)。
このレジスタは、平行入出力ポート0 / 2のモード選択が【16ビット】のとき有効です。
レジスタとポートの関係につきましては、「4.2.1 32 bitモードと16 bitモード」を参照してください。

6.3.6. パラレル入力ポート1 / 3・32bitデータ・レジスタ

パラレル入力ポート1 / 3・32bitデータ・レジスタは、【ベースアドレス + 13h / 43h】にマップされています。このレジスタは、外部回路からのデータを読み出すことができます。このレジスタは、パラレル入出力ポート1 / 3のモード選択が【32ビット】のとき有効です。

6.3.7. パラレル入力ポート1 / 3・下位16bitデータ・レジスタ

パラレル入力ポート1 / 3・下位16bitデータ・レジスタは、【ベースアドレス + 14h / 44h】にマップされています。このレジスタは、外部回路からの下位16bitデータを符号拡張した32bitデータとして読み出すことができます。このレジスタは、パラレル入出力ポート1 / 3のモード選択が【16ビット】のとき有効です。レジスタとポートの関係につきましては、「4.2.1 32bitモードと16bitモード」を参照してください。

6.3.8. パラレル入力ポート1 / 3・上位16bitデータ・レジスタ

パラレル入力ポート1 / 3・上位16bitデータ・レジスタは、【ベースアドレス + 15h / 45h】にマップされています。このレジスタは、外部回路からの上位16bitデータを符号拡張した32bitデータとして読み出すことができます。このレジスタは、パラレル入出力ポート1 / 3のモード選択が【16ビット】のとき有効です。レジスタとポートの関係につきましては、「4.2.1 32bitモードと16bitモード」を参照してください。

6.3.9. パラレル入力ポート1 / 3・下位16bitホールド要求・レジスタの設定

パラレル入力ポート1 / 3・下位16bitホールド要求・レジスタは、【ベースアドレス + 18 / 48h】にマップされています。パラレル入出力ポート1 / 3のモード選択が【16ビット】で、パラレル入出力ポート1 / 3・下位のハンドリング方式が【ホールド】のとき、このレジスタのbit 0に【1】を書き込むことにより外部回路へのホールド要求信号をONすることができ、【0】を書き込むことにより外部回路へのホールド要求信号をOFFすることができます。

6.3.10. パラレル入力ポート1 / 3・32 / 上位16bitホールド要求・レジスタの設定

パラレル入力ポート1 / 3・32 / 上位16bitホールド要求・レジスタは、【ベースアドレス + 19 / 49h】にマップされています。パラレル入出力ポート1 / 3のモード選択が【32bit】または【16ビット】で、パラレル入出力ポート1 / 3・上位のハンドリング方式が【ホールド】のとき、このレジスタのbit 0に【1】を書き込むことにより外部回路へのホールド要求信号をONすることができ、【0】を書き込むことにより外部回路へのホールド要求信号をOFFすることができます。

6.3.1.1. パラレル入出力ポート・ハンドリング信号の状態・レジスタ

パラレル入出力ポート・ハンドリング信号の状態・レジスタは、【ベースアドレス + 1A / 4Ah】にマップされています。このレジスタは、各ポートのSTBピン、ACKピンの入出力状態を読み出すことができます。ハンドリング信号の状態・レジスタは【bit 0】～【bit 7】までの8ビットで構成され、【bit 8】～【bit 31】までは不定です。

各bitが【0】のときは対応する信号の状態が【OFF】で、各bitが【1】のときは対応する信号の状態が【ON】です。

ハンドリング信号の状態 レジスタ	ポート		信号	ピン名	0	1
bit 7	入力ポート 1 / 3	上位	ACK	ACK1H / ACK3H	OFF	ON
bit 6			STB	STB1H / STB3H	OFF	ON
bit 5		下位	ACK	ACK1L / ACK3L	OFF	ON
bit 4			STB	STB1L / STB3L	OFF	ON
bit 3	出力ポート 0 / 2	上位	ACK	ACK0H / ACK2H	OFF	ON
bit 2			STB	STB0H / STB2H	OFF	ON
bit 1		下位	ACK	ACK0L / ACK2L	OFF	ON
bit 0			STB	STB0L / STB2L	OFF	ON

各ポートのモード選択が【32ビット】のときは、上位側の状態を確認してください。

表 6-12 ハンドリング信号の状態・レジスタ

6.3.12. パラレル入出力ポート・モード、ハンドリング方式選択・レジスタの設定

パラレル入出力ポート・モード、ハンドリング方式選択・レジスタは、【ベースアドレス + 1C / 4Ch】にマップされています。このレジスタは、各ポートのモードの選択と、各ポートのハンドリング方式の選択を行うことができます。モード、ハンドリング方式選択・レジスタは【bit 0】～【bit 17】までの18ビットで構成され、【bit 18】～【bit 31】までは使用しません。

モード、ハンドリング方式選択・レジスタ【bit 16】【bit 17】は各ポートのモードを選択することができます。各bitが【0】のとき、【32bitモード】となり、【1】のとき、【16bitモード】となります。

モード、ハンドリング方式選択・レジスタ【bit 1】～【bit 15】は各ポートのハンドリング方式を選択することができます。各ポートで選択できる方式は【なし】【STB / ACK】【ライトストロブ】【ホールド】(デフォルトは【なし】)の4種類です。

各ハンドリングのタイムチャートにつきましては、「4.2.2 ハンドリング方式」を参照してください。

モード レジスタ	ポート	0	1
bit 17	入力ポート 1 / 3	32 bit	16 bit
bit 16	出力ポート 0 / 2	32 bit	16 bit

表 6-13 モード選択・レジスタ

ハンドリング方式 レジスタ	ポート		なし	STB / ACK	ライトストロブ	ホールド
bit 15	入力ポート 1 / 3	上位	-	-	-	-
bit 14			0	0	0	1
bit 13			0	0	1	0
bit 12			0	1	0	0
bit 11		下位	-	-	-	-
bit 10			0	0	0	1
bit 9			0	0	1	0
bit 8			0	1	0	0
bit 7	出力ポート 0 / 2	上位	-	-	-	-
bit 6			0	0	0	1
bit 5			0	0	1	0
bit 4			0	1	0	0
bit 3		下位	-	-	-	-
bit 2			0	0	0	1
bit 1			0	0	1	0
bit 0			0	1	0	0

各ポートのモード選択が【32ビット】のときは、上位側の設定が有効になります。

表 6-14 ハンドリング方式選択・レジスタ

【注意】ハンドリング方式の設定およびハンドリング信号の極性の設定を変更したときは場合によって割り込みが発生することがありますので、変更するときは割り込み未許可の状態で行ってください。

6.3.13. パラレル入出力ポート・ハンドリング信号の極性・レジスタの設定

パラレル入出力ポート・ハンドリング信号の極性・レジスタは、【ベースアドレス + 1D / 4 Dh】にマップされています。このレジスタは、各ポートのハンドリング信号の極性の選択を行うことができます。ハンドリング信号の極性・レジスタは【bit 0】～【bit 7】までの8ビットで構成され、【bit 8】～【bit 31】までは使用しません。

ハンドリング信号の極性・レジスタは【bit 16】【bit 17】は各ポートのモードを選択することができます。各bitが【0】のときは対応する信号の極性は【負論理】となり、各bitが【1】のときは対応する信号の極性は【正論理】となります。

各ハンドリングのタイムチャートにつきましては、「4.2.2 ハンドリング方式」を参照してください。

ハンドリング信号の状態 レジスタ				0	1
bit 7	入力ポート	上位	ACK	負論理	正論理
bit 6			STB	負論理	正論理
bit 5		下位	ACK	負論理	正論理
bit 4			STB	負論理	正論理
bit 3	出力ポート	上位	ACK	負論理	正論理
bit 2			STB	負論理	正論理
bit 1		下位	ACK	負論理	正論理
bit 0			STB	負論理	正論理

各ポートのモード選択が【32ビット】のときは、上位側の設定が有効になります。

表 6-15 ハンドリング信号の極性・レジスタ

【注意】ハンドリング方式の設定およびハンドリング信号の極性の設定を変更したときは場合によって割り込みが発生することがありますので、変更するときは割り込み未許可の状態で行ってください。

6.3.14. パラレル入出力ポート・ハンドリング信号ON時間・レジスタの設定

パラレル入出力ポート・ハンドリング信号ON時間・レジスタは、【ベースアドレス + 1E / 4 Eh】にマップされています。このレジスタは、各ポートのハンドリング信号ON時間の設定を行うことができます。実装されている信号形式で設定が違いますので注意してください。

信号形式がLVTTTLの場合、

$$\text{設定したいON時間} \text{ nSec} \div 41.66 \text{ nSec} \left(\frac{1}{24\text{MHz}} \right)$$

信号形式がフォトカプラ絶縁の場合、

$$\text{設定したいON時間} \text{ } \mu\text{Sec} \div 100 \text{ } \mu\text{Sec}$$

上記いずれかで算出したパルス数を設定してください。

設定範囲は、1 ～ 255（有効ビット：下位8ビット）です。

ハンドリング信号ON時間・レジスタの設定はハンドリング方式によって有効なとき、無効なときがあります。詳しくは、「4.2.2 ハンドリング方式」を参照してください。

6 . 3 . 1 5 . パラレル入出力ポート・ハンドリング信号ON遅延時間・レジスタの設定

パラレル入出力ポート・ハンドリング信号ON遅延時間・レジスタは、【ベースアドレス + 1 F / 4 F h】にマップされています。このレジスタは、各ポートのハンドリング信号ON遅延時間の設定を行うことができます。

実装されている信号形式で設定が違いますので注意してください。

信号形式がLVTTTLの場合、

$$\text{設定したいON遅延時間 (nSec)} \div 41.66 \text{ nSec} \left(\frac{1}{24\text{MHz}} \right)$$

信号形式がフォトカプラ絶縁の場合、

$$\text{設定したいON遅延時間 (\mu\text{Sec})} \div 100 \text{ }\mu\text{Sec}$$

上記いずれかで算出したパルス数を設定してください。

設定範囲は、1 ~ 255 (有効ビット: 下位8ビット) です。

ハンドリング信号ON遅延時間・レジスタの設定はハンドリング方式によって有効なとき、無効なときがあります。詳しくは、「4.2.2 ハンドリング方式」を参照してください。

6.4. PWM

この機能を使用するときのソフトウェアによる制御は、

1. キャリア周波数の設定
2. Duty の設定
3. データー括書き込み指令
4. デットタイムの設定
5. モード選択、出力許可の設定
6. 設定データ反映タイミングの設定

等があります。

6.4.1. PWM / パラレル入力メモリマップ

324-00A アドレス	674-00 アドレス	WRITE	READ
901010h	03004040h		
901011h	03004044h		
901012h	03004048h		
901013h	0300404Ch		パラレル入力 ポート1 32bitデータ読み出し
901014h	03004050h		パラレル入力 ポート1 下位16bitデータ読み出し
901015h	03004054h		パラレル入力 ポート1 上位16bitデータ読み出し
901016h	03004058h		
901017h	0300405Ch		
901018h	03004060h	パラレル入力 ポート1 下位16bit ホールド要求	
901019h	03004064h	パラレル入力 ポート1 32bit / 上位16bit ホールド要求	
90101Ah	03004068h		パラレル入出力 ポート1 ハンドリング信号の状態読み出し
90101Bh	0300406Ch		
90101Ch	03004070h	パラレル入出力 ポート1 モード、ハンドリング方式選択	(左記設定値の読み出し)
90101Dh	03004074h		
90101Eh	03004078h		
90101Fh	0300407Ch		

表 6-16 PWM / パラレル入力メモリマップ (1)

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901020h	03004080h	PWM ポート0—CH0 キャリア周波数	
901021h	03004084h	PWM ポート0—CH0 U相 D u t y	
901022h	03004088h	PWM ポート0—CH0 V相 D u t y	
901023h	0300408Ch	PWM ポート0—CH0 W相 D u t y	
901024h	03004090h	PWM ポート0—CH0 データ一括書き込み指令	
901025h	03004094h	PWM ポート0—CH1 キャリア周波数	
901026h	03004098h	PWM ポート0—CH1 U相 D u t y	
901027h	0300409Ch	PWM ポート0—CH1 V相 D u t y	
901028h	030040A0h	PWM ポート0—CH1 W相 D u t y	
901029h	030040A4h	PWM ポート0—CH1 データ一括書き込み指令	
90102Ah	030040A8h	PWM ポート0—CH2 キャリア周波数	
90102Bh	030040ACh	PWM ポート0—CH2 U相 D u t y	
90102Ch	030040B0h	PWM ポート0—CH2 V相 D u t y	
90102Dh	030040B4h	PWM ポート0—CH2 W相 D u t y	
90102Eh	030040B8h	PWM ポート0—CH2 データ一括書き込み指令	
90102Fh	030040BCh		

表 6 - 1 7 PWM / パラレル入力メモリマップ (2)

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901030h	030040C0h	PWM ポート0—CH3 キャリア周波数	
901031h	030040C4h	PWM ポート0—CH3 U相 D u t y	
901032h	030040C8h	PWM ポート0—CH3 V相 D u t y	
901033h	030040CCh	PWM ポート0—CH3 データー括書き込み指令	
901034h	030040D0h	PWM ポート0—CH0 デットタイム	
901035h	030040D4h	PWM ポート0—CH1 デットタイム	
901036h	030040D8h	PWM ポート0—CH2 デットタイム	
901037h	030040DCh	PWM ポート0—CH3 デットタイム	
901038h	030040E0h	PWM ポート0—CH0 同期パルス出力	
901039h	030040E4h	PWM ポート0—CH1 同期パルス出力	
90103Ah	030040E8h	PWM ポート0—CH2 同期パルス出力	
90103Bh	030040ECh	PWM ポート0—CH3 同期パルス出力	
90103Ch	030040F0h	PWM ポート0 モード選択、出力許可	(左記設定値の読み出し)
90103Dh	030040F4h	PWM ポート0 設定データ反映タイミング	(左記設定値の読み出し)
90103Eh	030040F8h		
90103Fh	030040FCh		

表 6 - 1 8 PWM / パラレル入力のメモリマップ (3)

6.4.2. パラレル入出力関係のレジスタ

パラレル入出力関係のレジスタの詳細は、「6.3. パラレル入出力」を参照してください。

6.4.3. キャリア周波数・レジスタの設定

キャリア周波数・レジスタはチャンネル(0~3)毎に、【ベースアドレス + 20h、25h、2Ah、30h】にマップされています。このレジスタは、
 $(1 \div \text{設定したいキャリア周波数 (Hz)}) \div 41.66 \text{ nSec } (1/24\text{MHz})$ で算出したパルス数を設定してください。

設定範囲は、200 ~ 1,000,000 (有効ビット: 下位20ビット) です。

(120k ~ 24Hz)

このレジスタへの設定は、設定データ反映タイミング・レジスタの設定によって波形生成回路への反映タイミングが異なり、出力波形に多少の影響がありますので注意してください。

6.4.4. U相Duty・レジスタの設定

U相Duty・レジスタはチャンネル(0~3)毎に、【ベースアドレス + 21h、26h、2Bh、31h】にマップされています。このレジスタは、
 $\text{キャリア周波数設定値} \times \text{設定したいDuty比} \% / 100$ で算出したパルス数を設定してください。

設定範囲は、1,000,000 ~ 2,0 (有効ビット: 下位20ビット) です。

また、最上位ビットが正出力/逆出力選択フラグビットになっています。最上位ビットが【0】のとき、正出力となります。最上位ビットが【1】のとき、逆出力となります。

正出力、逆出力については、「4.3.2 出力波形」を参照してください。

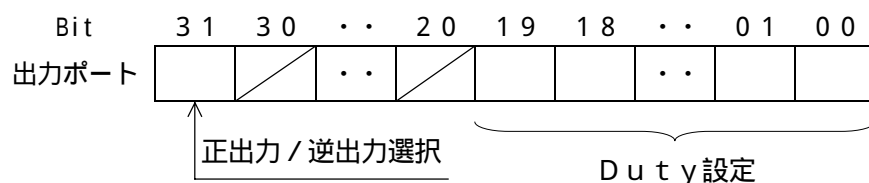


図 6-1 Duty・レジスタ

このレジスタへの設定は、設定データ反映タイミング・レジスタの設定によって波形生成回路への反映タイミングが異なり、出力波形に多少の影響がありますので注意してください。

モード選択が【3相モード】のとき、チャンネル3の設定は無効です。

6.4.5. V相Duty・レジスタの設定

V相Duty・レジスタはチャンネル(0～3)毎に、【ベースアドレス + 22h、27h、2Ch、32h】にマップされています。

設定値算出、設定範囲等は「6.4.4 U相Duty・レジスタの設定」と同じです。

モード選択が【3相モード】のとき、チャンネル3の設定は無効です。

6.4.6. W相Duty・レジスタの設定

W相Duty・レジスタはチャンネル(0～2)毎に、【ベースアドレス + 23h、28h、2Dh】にマップされています。

設定値算出、設定範囲等は「6.4.4 U相Duty・レジスタの設定」と同じです。

モード選択が【単相モード】のとき、このレジスタの設定は無効になります。

6.4.7. データ一括書き込み指令・レジスタ

データ一括書き込み指令・レジスタはチャンネル(0～3)毎に、【ベースアドレス + 24h、29h、2Eh、33h】にマップされています。このレジスタに書き込みを行うことによりキャリア周波数・レジスタとDuty・レジスタのデータを制御プロセスに同時に反映することができます。

キャリア周波数、各相Duty設定データの書き込み途中で制御プロセスへデータが反映されてしまうと、意図しない出力波形になる可能性があります。それを回避するために、DSPからのデータ書き込みで制御プロセスの前段にあるメモリへデータを記憶し、データ一括書き込み指令・レジスタへの書き込み指令で全データを一括して制御プロセスへ反映します。その後、設定データ反映タイミング・レジスタへの設定により、各データは波形生成回路へ反映されます。

6.4.8. デットタイム・レジスタの設定

デットタイム・レジスタはチャンネル(0 ~ 3)毎に、【ベースアドレス + 34h ~ 37h】にマップされています。このレジスタは、

設定したい時間 $nSec \div 41.66 \text{ nSec} \left(\frac{1}{24MHz} \right)$ で算出したパルス数を設定してください。

設定範囲は、0 ~ 48,000 (有効ビット: 下位16ビット) です。
(0 ~ 2mSec)

【注意】本ボードの出力部で使用していますフォトカプラ (TLP115A) の伝達時間に多少のパラツキがありますので、デットタイム・レジスタへの設定を【1】以上にして動作させてください。

6.4.9. 同期パルス出力・レジスタの設定

同期パルス出力・レジスタはチャンネル(0 ~ 3)毎に、【ベースアドレス + 38h ~ 3Bh】にマップされています。このレジスタは、

同期パルスを出力する場合、PWM制御周期の何回に一回出力するかを設定してください。

同期パルスを出力しない場合、【0】を設定してください。

(キャリア周波数設定と同期パルス出力設定を行えば、出力許可と関係なく同期パルスが出力されます。)

設定範囲は、0, 1 ~ 255 (有効ビット: 下位8ビット) です。

また、最上位ビットが負論理出力 / 正論理出力選択フラグビットになっています。最上位ビットが【0】のとき、負論理出力となります。最上位ビットが【1】のとき、正論理出力となります。

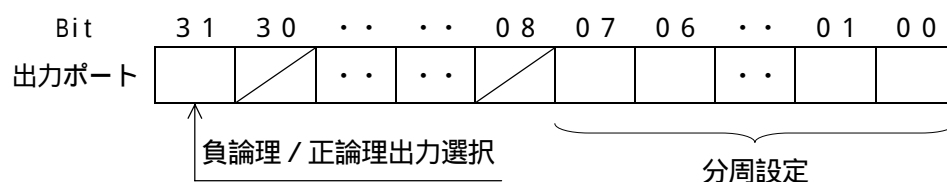


図 6-2 同期パルス出力・レジスタ

6.4.10. モード選択、出力許可・レジスタの設定

モード選択、出力許可・レジスタは、【ベースアドレス + 3Ch】にマップされています。このレジスタは、PWM出力モードの選択と出力チャンネルの選択を行うことができます。モード選択、出力許可・レジスタは【bit 0】～【bit 8】までの9ビットで構成され、【bit 9】～【bit 31】までは使用しません。

モード選択、出力許可・レジスタ【bit 0】が【0】のとき、【3相モード】となりチャンネル0～2が有効になります。モード選択、出力許可・レジスタ【bit 0】が【1】のとき、【単相モード】となりチャンネル0～3が有効になります。

モード選択、出力許可・レジスタ【bit 1】～【bit 4】は各チャンネルの出力許可設定です。各チャンネルの設定が【0】のとき、【出力未許可】となります。各チャンネルの設定が【1】のとき、【出力許可】となります。各チャンネルの出力を未許可にすると、制御プロセス内のカウンタなどはリセットされ、出力がOFF（【Hi】レベル）になります。チャンネル3の設定は、モード選択が【単相モード】のときに有効です。

モード選択、出力許可・レジスタ【bit 5】～【bit 8】は各チャンネルの出力モード設定です。各チャンネルの設定が【0】のとき、【フルブリッジ出力】となります。各チャンネルの設定が【1】のとき、【ハーフブリッジ出力】となります。

フルブリッジ出力、ハーフブリッジ出力については、「4.3.2 出力波形」を参照してください。

モード選択、出力許可 レジスタ	チャンネル	0	1
bit 8	チャンネル3	フルブリッジ出力	ハーフブリッジ出力
bit 7	チャンネル2	フルブリッジ出力	ハーフブリッジ出力
bit 6	チャンネル1	フルブリッジ出力	ハーフブリッジ出力
bit 5	チャンネル0	フルブリッジ出力	ハーフブリッジ出力
bit 4	チャンネル3	出力未許可	出力許可
bit 3	チャンネル2	出力未許可	出力許可
bit 2	チャンネル1	出力未許可	出力許可
bit 1	チャンネル0	出力未許可	出力許可
bit 0	共通	3相モード	単相モード

表 6-19 モード選択、出力許可・レジスタ

6.4.1.1 . 設定データ反映タイミング・レジスタの設定

設定データ反映タイミング・レジスタは、【ベースアドレス + 3 Dh】にマップされています。このレジスタは、データー括書き込み指令・レジスタへの書き込みによって制御プロセスへ反映された、キャリア周波数と各 Duty データを波形生成回路に反映するタイミング周期に同期 / 書き込み時の選択を行うことができます。設定データ反映タイミング・レジスタは【bit 1】～【bit 4】までの4ビットで構成され、【bit 0】と【bit 5】～【bit 31】までは使用しません。

周期に同期は、設定された制御周期の切り替わりに同期して設定データを反映します。

設定されたデータは、次の制御のはじめに反映されますので安定した出力が得られますが、最大1周期（キャリア周波数・レジスタに設定された周期）の制御遅れが発生します。

書き込み時は、書き込みがおこなわれた時点で設定データを反映します。

書き込みが行われたときの制御周期での出力は意図しない波形となる場合がありますが、早く制御を切り替えることができます。

設定データ反映タイミング レジスタ	チャンネル	0	1
bit 4	チャンネル3	周期に同期	書き込み時
bit 3	チャンネル2	周期に同期	書き込み時
bit 2	チャンネル1	周期に同期	書き込み時
bit 1	チャンネル0	周期に同期	書き込み時
bit 0	-	-	-

表 6 - 2 0 設定データ反映タイミング・レジスタ

6.5. キャプチャ

この機能を使用するときのソフトウェアによる制御は、

1. 制御周期の読み出し
2. 各相間のON時間の読み出し
3. 計測スタート指令
4. 計測完了フラグの読み出しとリセット
5. モード選択

等があります。

6.5.1. パラレル出力/キャプチャのメモリマップ

324-00A アドレス	674-00 アドレス	WRITE	READ
901010h	03004040h	パラレル出力 ポート0 32bitデータ	(左記設定値の読み出し)
901011h	03004044h	パラレル出力 ポート0 下位16bitデータ	(左記設定値の読み出し)
901012h	03004048h	パラレル出力 ポート0 上位16bitデータ	(左記設定値の読み出し)
901013h	0300404Ch		
901014h	03004050h		
901015h	03004054h		
901016h	03004058h		
901017h	0300405Ch		
901018h	03004060h		
901019h	03004064h		
90101Ah	03004068h		パラレル入出力 ポート0 ハンドリング信号の状態読み出し
90101Bh	0300406Ch		
90101Ch	03004070h	パラレル入出力 ポート0 モード、ハンドリング方式の選択	(左記設定値の読み出し)
90101Dh	03004074h		
90101Eh	03004078h	パラレル入出力 ポート0 ハンドリング信号ON時間	
90101Fh	0300407Ch	パラレル入出力 ポート0 ハンドリング信号ON遅延時間	

表 6-2 1 パラレル出力/キャプチャのメモリマップ(1)

324-00A アドレス	674-00 アドレス	WRITE	READ
901020h	03004080h	キャプチャ ポート1—CH0 計測スタート指令	キャプチャ ポート1—CH0 制御周期 読み出し
901021h	03004084h		キャプチャ ポート1—CH0 UV相 ON時間 読み出し
901022h	03004088h		キャプチャ ポート1—CH0 VU相 ON時間 読み出し
901023h	0300408Ch		キャプチャ ポート1—CH0 VW相 ON時間 読み出し
901024h	03004090h		キャプチャ ポート1—CH0 WV相 ON時間 読み出し
901025h	03004094h		キャプチャ ポート1—CH0 WU相 ON時間 読み出し
901026h	03004098h		キャプチャ ポート1—CH0 UW相 ON時間 読み出し
901027h	0300409Ch	キャプチャ ポート1—CH0 計測スタート指令	キャプチャ ポート1—CH1 制御周期 読み出し
901028h	030040A0h		キャプチャ ポート1—CH1 UV相 ON時間 読み出し
901029h	030040A4h		キャプチャ ポート1—CH1 VU相 ON時間 読み出し
90102Ah	030040A8h		キャプチャ ポート1—CH1 VW相 ON時間 読み出し
90102Bh	030040ACh		キャプチャ ポート1—CH1 WV相 ON時間 読み出し
90102Ch	030040B0h		キャプチャ ポート1—CH1 WU相 ON時間 読み出し
90102Dh	030040B4h		キャプチャ ポート1—CH1 UW相 ON時間 読み出し
90102Eh	030040B8h	キャプチャ ポート1—CH0 計測スタート指令	キャプチャ ポート1—CH2 制御周期 読み出し
90102Fh	030040BCh		キャプチャ ポート1—CH2 UV相 ON時間 読み出し

表 6-22 パラレル出力/キャプチャのメモリマップ(2)

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901030h	030040C0h		キャプチャ ポート1—CH2 VU相 ON時間 読み出し
901031h	030040C4h		キャプチャ ポート1—CH2 VW相 ON時間 読み出し
901032h	030040C8h		キャプチャ ポート1—CH2 WV相 ON時間 読み出し
901033h	030040CCh		キャプチャ ポート1—CH2 WU相 ON時間 読み出し
901034h	030040D0h		キャプチャ ポート1—CH2 UW相 ON時間 読み出し
901035h	030040D4h	キャプチャ ポート1—CH0 計測スタート指令	キャプチャ ポート1—CH3 制御周期 読み出し
901036h	030040D8h		キャプチャ ポート1—CH3 UV相 ON時間 読み出し
901037h	030040DCh		キャプチャ ポート1—CH3 VU相 ON時間 読み出し
901038h	030040E0h	キャプチャ ポート1 計測完了フラグリセット	キャプチャ ポート1 計測完了フラグ読み出し
901039h	030040E4h		
90103Ah	030040E8h		
90103Bh	030040ECh		
90103Ch	030040F0h	キャプチャ ポート1 モード選択	(左記設定値の読み出し)
90103Dh	030040F4h		
90103Eh	030040F8h		
90103Fh	030040FCh		

表 6-23 パラレル出力/キャプチャのメモリマップ(3)

6.5.2. パラレル入出力関係のレジスタ

パラレル入出力関係のレジスタの詳細は、「6.3. パラレル入出力」を参照してください。

6.5.3. 制御周期の読み出し

制御周期の読み出しはチャンネル(0~3)毎に、【ベースアドレス + 20h、27h、2Eh、35h】にマップされています。このレジスタは、外部から入力されたPWM波形の1周期の時間を基準クロックでカウントした数値で読み出せます。

$1 \div (\text{読み出したパルス数} \times 41.66 \text{ nSec} (1/24\text{MHz}))$ で周期 Hz が算出できます。

計測範囲は、200 ~ 1,000,000 (有効ビット: 下位20ビット) です。

(120k ~ 24Hz)

計測が不可能な入力波形(全入力がすべてOFFしている)等の場合、内部の計測不可能を判断するカウンタのアップにて計測完了となり、【1,048,575】が読み出されます。

6.5.4. UV相 ON時間の読み出し

UV相 ON時間の読み出しはチャンネル(0~3)毎に、【ベースアドレス + 21h、28h、2Fh、36h】にマップされています。このレジスタは、外部から入力されたPWM波形からU相が+でV相が-のとき(電流方向がU相→V相)の時間を基準クロックでカウントした数値で読み出せます。詳細については、「4.4.2 計測データ」を参照してください。

読み出したパルス数 ÷ 上記で読み出した制御周期パルス数 × 100 でDuty比 % が、また、読み出したパルス数 × 41.66 nSec (1/24MHz) でON時間 nSec が算出できます。

計測範囲は、0 ~ 1,000,000 (有効ビット: 下位20ビット) です。

計測が不可能な入力波形(入力波形にON/OFFの変化がない)等の場合、内部の計測不可能を判断するカウンタのアップにて計測完了となり、計測完了した時点の入力波形が、U相が+でV相が-のとき【1,048,575】、それ以外のときは【0】が読み出されます。

6.5.5. VU相 ON時間の読み出し

VU相 ON時間の読み出しはチャンネル(0~3)毎に、【ベースアドレス + 22h、29h、30h、37h】にマップされています。このレジスタは、外部から入力されたPWM波形からV相が+でU相が-のとき(電流方向がV相→U相)の時間を基準クロックでカウントした数値で読み出せます。詳細については、「4.4.2 計測データ」を参照してください。

計測値算出、計測範囲等は「6.5.4 UV相 ON時間の読み出し」と同じです。

計測範囲は、0 ~ 1,000,000 (有効ビット: 下位20ビット) です。

計測が不可能な入力波形(入力波形にON/OFFの変化がない)等の場合、内部の計測不可能を判断するカウンタのアップにて計測完了となり、計測完了した時点の入力波形が、V相が+でU相が-のとき【1,048,575】、それ以外のときは【0】が読み出されます。

6.5.6. VW相 ON時間の読み出し

VW ON時間の読み出しはチャンネル(0~2)毎に、【ベースアドレス + 23h、2Ah、31h】にマップされています。このレジスタは、外部から入力されたPWM波形からV相が+でW相が-のとき(電流方向がV相→W相)の時間を基準クロックでカウントした数値で読み出せます。詳細については、「4.4.2 計測データ」を参照してください。

計測値算出、計測範囲等は「6.5.4 UV相 ON時間の読み出し」と同じです。

計測が不可能な入力波形(入力波形にON/OFFの変化がない)等の場合、内部の計測不可能を判断するカウンタのアップにて計測完了となり、計測完了した時点の入力波形が、V相が+でW相が-のとき【1,048,575】、それ以外のときは【0】が読み出されます。

6.5.7. WV相 ON時間の読み出し

WV ON時間の読み出しはチャンネル(0~2)毎に、【ベースアドレス + 24h、2Bh、32h】にマップされています。このレジスタは、外部から入力されたPWM波形からW相が+でV相が-のとき(電流方向がW相→V相)の時間を基準クロックでカウントした数値で読み出せます。詳細については、「4.4.2 計測データ」を参照してください。

計測値算出、計測範囲等は「6.5.4 UV相 ON時間の読み出し」と同じです。

計測が不可能な入力波形(入力波形にON/OFFの変化がない)等の場合、内部の計測不可能を判断するカウンタのアップにて計測完了となり、計測完了した時点の入力波形が、W相が+でV相が-のとき【1,048,575】、それ以外のときは【0】が読み出されます。

6.5.8. WU相 ON時間の読み出し

WU ON時間の読み出しはチャンネル(0~2)毎に、【ベースアドレス + 25h、2Ch、33h】にマップされています。このレジスタは、外部から入力されたPWM波形からW相が+でU相が-のとき(電流方向がW相→U相)の時間を基準クロックでカウントした数値で読み出せます。詳細については、「4.4.2 計測データ」を参照してください。

計測値算出、計測範囲等は「6.5.4 UV相 ON時間の読み出し」と同じです。

計測が不可能な入力波形(入力波形にON/OFFの変化がない)等の場合、内部の計測不可能を判断するカウンタのアップにて計測完了となり、計測完了した時点の入力波形が、W相が+でU相が-のとき【1,048,575】、それ以外のときは【0】が読み出されます。

6.5.9. UW相 ON時間の読み出し

UW ON時間の読み出しはチャンネル(0~2)毎に、【ベースアドレス + 26h、2Dh、34h】にマップされています。このレジスタは、外部から入力されたPWM波形からU相が+でW相が-のとき(電流方向がU相→W相)の時間を基準クロックでカウントした数値で読み出せます。詳細については、「4.4.2 計測データ」を参照してください。

計測値算出、計測範囲等は「6.5.4 UV相 ON時間の読み出し」と同じです。

計測が不可能な入力波形(入力波形にON/OFFの変化がない)等の場合、内部の計測不可能を判断するカウンタのアップにて計測完了となり、計測完了した時点の入力波形が、U相が+でW相が-のとき【1,048,575】、それ以外のときは【0】が読み出されます。

6.5.10. 計測スタート指令・レジスタ

計測スタート指令・レジスタはチャンネル（0～3）毎に、【ベースアドレス + 20h、27h、2Eh、35h】にマップされています。このレジスタに書き込みを行うことにより各チャンネルの計測を開始することができます。（計測スタート前には必ず計測完了フラグのリセットを行ってください。）

6.5.11. 計測完了フラグの読み出し

計測完了フラグ・レジスタは、【ベースアドレス + 38h】にマップされています。このレジスタは、チャンネル毎の計測完了フラグを読み出すことができます。計測完了フラグ・レジスタは【bit1】～【bit4】までの4ビットで構成され、【bit0】と【bit5】～【bit31】までは不定です。

計測が完了しているビットには【1】がセットされ、計測が未完了のビットには【0】がセットされます。【ベースアドレス + 38h】に書き込みを行うことにより計測完了フラグをリセットできます。リセットを行いたいチャンネルに該当するビットに【1】を書き込むとそのチャンネルの計測完了フラグがリセットされます。

計測完了フラグ レジスタ	チャンネル	0	1
bit4	チャンネル3	計測未完了	計測完了
bit3	チャンネル2	計測未完了	計測完了
bit2	チャンネル1	計測未完了	計測完了
bit1	チャンネル0	計測未完了	計測完了
bit0	-	-	-

表 6-24 計測完了フラグ・レジスタ

6.5.12. モード選択・レジスタの設定

モード選択・レジスタは、【ベースアドレス + 3Ch】にマップされています。このレジスタは、キャプチャの入力モードの選択を行うことができます。モード選択・レジスタは【bit0】のみで構成され、【bit1】～【bit31】までは使用しません。

モード選択・レジスタ【bit0】が【0】のとき、【3相モード】となりチャンネル0～2が有効になります。モード、出力許可・レジスタ【bit0】が【1】のとき、【単相モード】となりチャンネル0～3が有効になります。

モード選択 レジスタ	0	1
bit0	3相モード	単相モード

表 6-25 モード選択・レジスタ

6.6 . パルスジェネレータ

この機能を使用するときのソフトウェアによる制御は、

- 1 . パルス周期の設定
- 2 . 回転方向の設定
- 3 . 1 回転のパルス数の設定
- 4 . 出力許可の設定

等があります。

6.6.1 . パルスジェネレータ / パラレル入力のメモリマップ

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901040h	03004100h		
901041h	03004104h		
901042h	03004108h		
901043h	0300410Ch		パラレル入力 ポート3 3 2 b i t データ読み出し
901044h	03004110h		パラレル入力 ポート3 下位 1 6 b i t データ読み出し
901045h	03004114h		パラレル入力 ポート3 上位 1 6 b i t データ読み出し
901046h	03004118h		
901047h	0300411Ch		
901048h	03004120h	パラレル入力 ポート3 下位 1 6 b i t ホールド要求	
901049h	03004124h	パラレル入力 ポート3 3 2 b i t / 上位 1 6 b i t ホールド要求	
90104Ah	03004128h		パラレル入出力 ポート3 ハンドリング信号の状態読み出し
90104Bh	0300412Ch		
90104Ch	03004130h	パラレル入出力 ポート3 モード、ハンドリング方式選択	(左記設定値の読み出し)
90104Dh	03004134h		
90104Eh	03004138h		
90104Fh	0300413Ch		

表 6 - 2 6 パルスジェネレータ / パラレル入力のメモリマップ (1)

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901050h	03004140h	パルス出力 ポート 2 - C H 0 パルス周期	
901051h	03004144h	パルス出力 ポート 2 - C H 0 回転方向	
901052h	03004148h		
901053h	0300414Ch		
901054h	03004150h	パルス出力 ポート 2 - C H 1 パルス周期	
901055h	03004154h	パルス出力 ポート 2 - C H 1 回転方向	
901056h	03004158h		
901057h	0300415Ch		
901058h	03004160h	パルス出力 ポート 2 - C H 2 パルス周期	
901059h	03004164h	パルス出力 ポート 2 - C H 2 回転方向	
90105Ah	03004168h		
90105Bh	0300416Ch		
90105Ch	03004170h	パルス出力 ポート 2 - C H 3 パルス周期	
90105Dh	03004174h	パルス出力 ポート 2 - C H 3 回転方向	
90105Eh	03004178h		
90105Fh	0300417Ch		

表 6 - 2 7 パルスジェネレータ / パラレル入力のメモリマップ (2)

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901060h	03004180h		
901061h	03004184h		
901062h	03004188h		
901063h	0300418Ch		
901064h	03004190h	パルス出力 ポート2 - C H 0 1回転のパルス数	
901065h	03004194h	パルス出力 ポート2 - C H 1 1回転のパルス数	
901066h	03004198h	パルス出力 ポート2 - C H 2 1回転のパルス数	
901067h	0300419Ch	パルス出力 ポート2 - C H 3 1回転のパルス数	
901068h	030041A0h		
901069h	030041A4h		
90106Ah	030041A8h		
90106Bh	030041ACh		
90106Ch	030041B0h	パルス出力 ポート2 出力許可	(左記設定値の読み出し)
90106Dh	030041B4h	パルス出力 ポート2 設定データ反映タイミング	(左記設定値の読み出し)
90106Eh	030041B8h		
90106Fh	030041BCh		

表 6 - 2 8 パルスジェネレータ/パラレル入力のメモリマップ (3)

6.6.2. パラレル入出力関係のレジスタ

パラレル入出力関係のレジスタの詳細は、「6.3. パラレル入出力」を参照してください。

6.6.3. パルス周期・レジスタの設定

パルス周期・レジスタはチャンネル(0～3)毎に、【ベースアドレス + 50h、54h、58h、5Ch】にマップされています。このレジスタは、
 $((1 \div \text{設定したいパルス周期 Hz}) \div 4) \div 41.66 \text{ nSec } (1/24\text{MHz})$ で算出したパルス数を設定してください(パルス周期の1/4を設定)。
 設定範囲は、1 ～ 600,000,000 (6M ～ 0.01Hz)
 このレジスタへの設定は、設定データ反映タイミング・レジスタの設定によってパルス生成回路への反映タイミングが異なり、出力波形に多少の影響がありますので注意してください。

6.6.4. 回転方向・レジスタの設定

回転方向・レジスタはチャンネル(0～3)毎に、【ベースアドレス + 51h、55h、59h、5Dh】にマップされています。このレジスタは、90°位相差パルスの回転方向、およびパルス出力停止の選択を行うことができます。回転方向・レジスタは【bit0】～【bit1】までの2ビットで構成され、【bit2】～【bit31】までは使用しません。
 回転方向・レジスタの【bit0】が【1】のとき正転となり、回転方向・レジスタは【bit1】が【1】のとき逆転となります。【bit0】～【bit1】のいずれかに【1】を設定することで有効になり、両方が【0】もしくは両方が【1】に設定されると出力停止(一時停止)となります。
 このレジスタへの設定は、パルス生成回路への反映タイミングが書き込みと同時に行われます。

回転方向 レジスタ	1
bit1	逆転 (CCW) (B相が先に立ち上がる)
bit0	正転 (CW) (A相が先に立ち上がる)

表 6-29 回転方向・レジスタ

6.6.5. 1回転のパルス数・レジスタの設定

1回転のパルス数・レジスタはチャンネル(0～3)毎に、【ベースアドレス + 64h～67h】にマップされています。チャンネル毎の1回転パルス数、すなわちZ相の出力を90°位相差パルスの何パルスに一回出力するかを設定してください。
 設定範囲は、2 ～ 50,000,000

6.6.6. 出力許可・レジスタの設定

出力許可・レジスタは、【ベースアドレス + 6Ch】にマップされています。このレジスタは、出力チャンネルの選択を行うことができます。出力許可・レジスタは【bit1】～【bit4】までの4ビットで構成され、【bit0】と【bit5】～【bit31】までは使用しません。各チャンネルの設定が【0】のとき、【出力未許可】となります。各チャンネルの設定が【1】のとき、【出力許可】となります。各チャンネルの出力を未許可にすると、制御プロセス内のカウンタなどはリセットされ、出力がOFF（【Lo】レベル）になります。

出力許可 レジスタ	チャンネル	0	1
bit4	チャンネル3	出力未許可	出力許可
bit3	チャンネル2	出力未許可	出力許可
bit2	チャンネル1	出力未許可	出力許可
bit1	チャンネル0	出力未許可	出力許可
bit0	-	-	-

表 6-30 モード選択、出力許可・レジスタ

6.6.7. 設定データ反映タイミング・レジスタの設定

設定データ反映タイミング・レジスタは、【ベースアドレス + 6Dh】にマップされています。このレジスタは、パルス周期データをパルス生成回路に反映するタイミング周期に同期 / 書き込み時の選択を行うことができます。設定データ反映タイミング・レジスタは【bit1】～【bit4】までの4ビットで構成され、【bit0】と【bit5】～【bit31】までは使用しません。周期に同期は、設定された制御周期の切り替わりに同期して設定データを反映します。設定されたデータは、次の制御のはじめに反映されますので安定した出力が得られますが、最大1周期（パルス周期・レジスタに設定された周期）の制御遅れが発生します。書き込み時は、書き込みがおこなわれた時点で設定データを反映します。書き込みが行われたときの制御周期での出力は意図しない波形となる場合がありますが、早く制御を切り替えることができます。

設定データ反映タイミング レジスタ	チャンネル	0	1
bit4	チャンネル3	周期に同期	書き込み時
bit3	チャンネル2	周期に同期	書き込み時
bit2	チャンネル1	周期に同期	書き込み時
bit1	チャンネル0	周期に同期	書き込み時
bit0	-	-	-

表 6-31 設定データ反映タイミング・レジスタ

6.7． カウンタ

この機能を使用するときのソフトウェアによる制御は、

- 1．カウンタ値の読み出し
- 2．カウンタ値のプリセット
- 3．カウンタリセット許可の設定
- 4．カウンタ逡倍の設定

等があります。

6.7.1． パラレル出力/カウンタのメモリマップ

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901040h	03004100h	パラレル出力 ポート2 32bitデータ	(左記設定値の読み出し)
901041h	03004104h	パラレル出力 ポート2 下位16bitデータ	(左記設定値の読み出し)
901042h	03004108h	パラレル出力 ポート2 上位16bitデータ	(左記設定値の読み出し)
901043h	0300410Ch		
901044h	03004110h		
901045h	03004114h		
901046h	03004118h		
901047h	0300411Ch		
901048h	03004120h		
901049h	03004124h		
90104Ah	03004128h		パラレル入出力 ポート2 ハンドリング信号の状態読み出し
90104Bh	0300412Ch		
90104Ch	03004130h	パラレル入出力 ポート2 モード、ハンドリング方式選択	(左記設定値の読み出し)
90104Dh	03004134h		
90104Eh	03004138h	パラレル入出力 ポート2 ハンドリング信号ON時間	
90104Fh	0300413Ch	パラレル入出力 ポート2 ハンドリング信号ON遅延時間	

表 6-32 パラレル出力/カウンタのメモリマップ(1)

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901050h	03004140h		カウンタ ポート3—C H 0 カウンタ値読み出し
901051h	03004144h		カウンタ ポート3—C H 1 カウンタ値読み出し
901052h	03004148h		カウンタ ポート3—C H 2 カウンタ値読み出し
901053h	0300414Ch		カウンタ ポート3—C H 3 カウンタ値読み出し
901054h	03004150h		
901055h	03004154h		
901056h	03004158h		
901057h	0300415Ch		
901058h	03004160h	カウンタ ポート3—C H 0 カウンタプリセット	
901059h	03004164h	カウンタ ポート3—C H 1 カウンタプリセット	
90105Ah	03004168h	カウンタ ポート3—C H 2 カウンタプリセット	
90105Bh	0300416Ch	カウンタ ポート3—C H 3 カウンタプリセット	
90105Ch	03004170h	カウンタ ポート3 カウンタリセット許可	(左記設定値の読み出し)
90105Dh	03004174h	カウンタ ポート3 カウンタ逡倍選択	(左記設定値の読み出し)
90105Eh	03004178h		
90105Fh	0300417Ch		

表 6 - 3 3 パラレル出力 / カウンタのメモリマップ (2)

324-00A アドレス	674-00 アドレス	W R I T E	R E A D
901060h	03004180h		カウンタ ポート3 絶縁指定ビット入力の状態
901061h	03004184h		
901062h	03004188h		
901063h	0300418Ch		
901064h	03004190h		
901065h	03004194h		
901066h	03004198h		
901067h	0300419Ch		
901068h	030041A0h		
901069h	030041A4h		
90106Ah	030041A8h		
90106Bh	030041ACh		
90106Ch	030041B0h		
90106Dh	030041B4h		
90106Eh	030041B8h		
90106Fh	030041BCh		

表 6 - 3 4 パラレル出力 / カウンタのメモリマップ (3)

6.7.2. パラレル入出力関係のレジスタ

パラレル入出力関係のレジスタの詳細は、「6.3. パラレル入出力」を参照してください。

6.7.3. カウンタデータの読み出し

32bitカウンタデータの読み出しはチャンネル(0~3)毎に【ベースアドレス + 50~53h】にマップされています。このレジスタは、外部からの90°位相の異なる2つの入力パルスによってアップ・ダウンカウントされたデータを読み出すことができます。

6.7.4. カウント プリセット

32bitカウンタデータのプリセットはチャンネル(0~3)毎に、【ベースアドレス + 58~5Bh】にマップされています。このレジスタにデータを書き込むことにより任意のデータにすることができます。

6.7.5. カウンタ リセット許可・レジスタの設定

カウンタリセット・レジスタは、【ベースアドレス + 5Ch】にマップされています。このレジスタは、チャンネル毎のカウンタリセットの 許可 / 未許可の選択を行うことができます。カウンタリセット・レジスタは【bit1】~【bit4】までの4ビットで構成され、【bit0】と【bit5】~【bit31】までは使用しません。

実際にリセットさせるには、カウンタリセット・レジスタに【1】を設定し、絶縁入力指定ビットが【1】(絶縁入力端子をGNDレベルにする)で、Z相が【Hi】、B相が【Lo】のときのA相の立ち上がり又は立ち下がりでゼロリセットされます。

カウンタリセット許可 レジスタ	チャンネル	0	1
bit4	チャンネル3	未許可	許可
bit3	チャンネル2	未許可	許可
bit2	チャンネル1	未許可	許可
bit1	チャンネル0	未許可	許可
bit0	-	-	-

表 6-35 カウンタリセット許可・レジスタ

チャンネル	カウンタリセット許可 レジスタ	絶縁入力指定ビット	Z相	B相	A相
チャンネル3	bit4 【1】	CN13-74ピン 【1】	【Hi】	【Lo】	立ち上がり又は立ち下がり
チャンネル2	bit3 【1】	CN13-73ピン 【1】	【Hi】	【Lo】	立ち上がり又は立ち下がり
チャンネル1	bit2 【1】	CN13-72ピン 【1】	【Hi】	【Lo】	立ち上がり又は立ち下がり
チャンネル0	bit1 【1】	CN13-71ピン 【1】	【Hi】	【Lo】	立ち上がり又は立ち下がり

表 6-36 カウンタリセット条件

6.7.6. カウンタ逓倍選択・レジスタの設定

カウンタ逓倍選択・レジスタは、【ベースアドレス + □h】にマップされています。チャンネル毎のカウンタ逓倍の選択を行うことができます。カウンタ逓倍選択・レジスタは【bit 0】～【bit 15】までの16ビットで構成され、【bit 16】～【bit 31】までは使用しません。選択できる範囲は【×1】、【×2】、【×4】(デフォルトは【×4】)の3種類から選択することができます。

カウンタの逓倍の詳細につきましては、「4.6.2 カウンタの逓倍」を参照してください。

モード選択レジスタ	チャンネル	×4	×1	×2
bit 15	-	-	-	
bit 14	-	-	-	
bit 13	チャンネル3	0	0	1
bit 12		0	1	0
bit 11	-	-	-	
bit 10	-	-	-	
bit 9	チャンネル2	0	0	1
bit 8		0	1	0
bit 7	-	-	-	
bit 6	-	-	-	
bit 5	チャンネル1	0	0	1
bit 4		0	1	0
bit 3	-	-	-	
bit 2	-	-	-	
bit 1	チャンネル0	0	0	1
bit 0		0	1	0

表 6-37 カウンタ逓倍選択・レジスタ

6.7.7. 絶縁指定ビット入力の状態・レジスタの設定

絶縁指定ビット入力の状態・レジスタは、【ベースアドレス + 60h】にマップされています。このレジスタは、各チャンネルの絶縁指定ビットの入力状態を読み出すことができます。絶縁指定ビット入力の状態・レジスタは【bit1】～【bit4】までの4ビットで構成され、【bit0】と【bit5】～【bit31】までは不定です。

各bitが【0】のときは対応する信号の状態が【OFF】で、各bitが【1】のときは対応する信号の状態が【ON】です。

加算アドレス許可 レジスタ	チャンネル	絶縁入力指定ビット	0	1
bit4	チャンネル3	CN13 - 74ピン	OFF	ON
bit3	チャンネル2	CN13 - 73ピン	OFF	ON
bit2	チャンネル1	CN13 - 72ピン	OFF	ON
bit1	チャンネル0	CN13 - 71ピン	OFF	ON
bit0	-	-	-	-

表 6-38 絶縁指定ビット入力の状態・レジスタ

7. 電 源

7.1. パラレル入出力機能を使用する場合

パラレル入出力の電源（VCC・GND）ピンは入出力16bit単位で独立しています。

- 1) LVTTL入出力信号の電源は、本ボード上の電源を使用していますので、内部回路のGNDと外部回路のGNDを接続してください。

ポート	VCCピン	GNDピン
ポート0 下位	-	CN12 - 2
ポート0 上位	-	CN12 - 22
ポート1 下位	-	CN12 - 42
ポート1 上位	-	CN12 - 62
ポート2 下位	-	CN13 - 2
ポート2 上位	-	CN13 - 22
ポート3 下位	-	CN13 - 42
ポート3 上位	-	CN13 - 62

表 7-1 パラレル入出力（LVTTL入出力）の電源ピン

- 2) フォトカプラ絶縁入出力の電源は、外部から供給してください。

ポート	VCCピン	GNDピン
ポート0 下位	CN12 - 1	CN12 - 2
ポート0 上位	CN12 - 21	CN12 - 22
ポート1 下位	CN12 - 41	CN12 - 42
ポート1 上位	CN12 - 61	CN12 - 62
ポート2 下位	CN13 - 1	CN13 - 2
ポート2 上位	CN13 - 21	CN13 - 22
ポート3 下位	CN13 - 41	CN13 - 42
ポート3 上位	CN13 - 61	CN13 - 62

VCC : +5V ~ +24V

表 7-2 パラレル入出力（フォトカプラ絶縁入出力）の電源ピン

7.2. PWM機能を使用する場合

- 1) PWM出力(フォトカプラ絶縁出力)の電源は、外部から供給してください。

ポート	VCCピン	GNDピン
PWM出力	CN12 - 1	CN12 - 2

VCC : +5V

表 7-3 PWMの電源ピン

7.3. キャプチャ機能を使用する場合

- 1) キャプチャ入力(LVTTL入力)の電源は、本ボード上の電源を使用していますので、内部回路のGNDと外部回路のGNDを接続してください。

ポート	VCCピン	GNDピン
キャプチャ入力	-	CN12 - 42

表 7-4 キャプチャの電源ピン

7.4. パルスジェネレータ機能を使用する場合

- 1) パルスジェネレータ出力(ライン・ドライバ出力)の電源は、本ボード上の電源を使用していますので、内部回路のGNDと外部回路のGNDを接続してください。

ポート	VCCピン	GNDピン
パルスジェネレータ出力	-	CN13 - 2

表 7-5 パルスジェネレータの電源ピン

7.5. カウンタ機能を使用する場合

- 1) カウンタ入力(ライン・レシーバ入力)の電源は、本ボード上の電源を使用していますので、内部回路のGNDと外部回路のGNDを接続してください。

ポート	VCCピン	GNDピン
カウンタ入力	-	CN13 - 42

表 7-6 カウンタ(カウンタ入力)の電源ピン

- 2) フォトカプラ絶縁入力の電源は、外部から供給してください。

ポート	VCCピン	GNDピン
フォトカプラ絶縁入力	CN13 - 61	-

VCC : +5V ~ +24V

表 7-7 カウンタ(フォトカプラ絶縁入力)の電源ピン

8 . コネクタのピン配列とピン配置

8 . 1 . ピン配列

8 . 1 . 1 . C N 4 のピン配列

C N 4			
No	信 号 名	No	信 号 名
0401	+5V	0402	GND
0403	(使用不可)	0404	(使用不可)
0405	(使用不可)	0406	(使用不可)
0407	(使用不可)	0408	外部割り込み信号入力
0409	NC	0410	NC
0411	WDT エラー出力	0412	NC
0413	NC	0414	NC
0415	リセット信号入力	0416	GND

表 8 - 1 外部 T T L 入出力ポートのピン配列

8.1.2. CN12 (外部入出力ポート0・1)のピン配列

1) ポート0・1 パラレル入出力 (LVTTL入出力)

CN12			
No	信号名	No	信号名
1201	NC	1202	GND0L
1203	O_000 [O_000L]	1204	O_001 [O_001L]
1205	O_002 [O_002L]	1206	O_003 [O_003L]
1207	O_004 [O_004L]	1208	O_005 [O_005L]
1209	O_006 [O_006L]	1210	O_007 [O_007L]
1211	O_008 [O_008L]	1212	O_009 [O_009L]
1213	O_010 [O_010L]	1214	O_011 [O_011L]
1215	O_012 [O_012L]	1216	O_013 [O_013L]
1217	O_014 [O_014L]	1218	O_015 [O_015L]
1219	未使用 [STB0L]	1220	未使用 [ACK0L]
1221	NC	1222	GND0H
1223	O_016 [O_000H]	1224	O_017 [O_001H]
1225	O_018 [O_002H]	1226	O_019 [O_003H]
1227	O_020 [O_004H]	1228	O_021 [O_005H]
1229	O_022 [O_006H]	1230	O_023 [O_007H]
1231	O_024 [O_008H]	1232	O_025 [O_009H]
1233	O_026 [O_010H]	1234	O_027 [O_011H]
1235	O_028 [O_012H]	1236	O_029 [O_013H]
1237	O_030 [O_014H]	1238	O_031 [O_015H]
1239	STB0 [STB0H]	1240	ACK0 [ACK0H]
1241	NC	1242	GND1L
1243	I_100 [I_100L]	1244	I_101 [I_101L]
1245	I_102 [I_102L]	1246	I_103 [I_103L]
1247	I_104 [I_104L]	1248	I_105 [I_105L]
1249	I_106 [I_106L]	1250	I_107 [I_107L]
1251	I_108 [I_108L]	1252	I_109 [I_109L]
1253	I_110 [I_110L]	1254	I_111 [I_111L]
1255	I_112 [I_112L]	1256	I_113 [I_113L]
1257	I_114 [I_114L]	1258	I_115 [I_115L]
1259	未使用 [STB1L]	1260	未使用 [ACK1L]
1261	NC	1262	GND1H
1263	I_116 [I_100H]	1264	I_117 [I_101H]
1265	I_118 [I_102H]	1266	I_119 [I_103H]
1267	I_120 [I_104H]	1268	I_121 [I_105H]
1269	I_122 [I_106H]	1270	I_123 [I_107H]
1271	I_124 [I_108H]	1272	I_125 [I_109H]
1273	I_126 [I_110H]	1274	I_127 [I_111H]
1275	I_128 [I_112H]	1276	I_129 [I_113H]
1277	I_130 [I_114H]	1278	I_131 [I_115H]
1279	STB1 [STB1H]	1280	ACK1 [ACK1H]

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

表 8-2 外部入出力ポート0・1 (パラレル入出力・LVTTL)のピン配列

2) ポート 0・1 パラレル入出力 (フォトカプラ絶縁入出力)

C N 1 2			
No	信 号 名	No	信 号 名
1201	VCC0L(+5V ~ +24V 入力)	1202	GND0L
1203	0_000 [0_000L]	1204	0_001 [0_001L]
1205	0_002 [0_002L]	1206	0_003 [0_003L]
1207	0_004 [0_004L]	1208	0_005 [0_005L]
1209	0_006 [0_006L]	1210	0_007 [0_007L]
1211	0_008 [0_008L]	1212	0_009 [0_009L]
1213	0_010 [0_010L]	1214	0_011 [0_011L]
1215	0_012 [0_012L]	1216	0_013 [0_013L]
1217	0_014 [0_014L]	1218	0_015 [0_015L]
1219	未使用 [STB0L]	1220	未使用 [ACK0L]
1221	VCC0H(+5V ~ +24V 入力)	1222	GND0H
1223	0_016 [0_000H]	1224	0_017 [0_001H]
1225	0_018 [0_002H]	1226	0_019 [0_003H]
1227	0_020 [0_004H]	1228	0_021 [0_005H]
1229	0_022 [0_006H]	1230	0_023 [0_007H]
1231	0_024 [0_008H]	1232	0_025 [0_009H]
1233	0_026 [0_010H]	1234	0_027 [0_011H]
1235	0_028 [0_012H]	1236	0_029 [0_013H]
1237	0_030 [0_014H]	1238	0_031 [0_015H]
1239	STB0 [STB0H]	1240	ACK0 [ACK0H]
1241	VCC1L(+5V ~ +24V 入力)	1242	GND1L
1243	I_100 [I_100L]	1244	I_101 [I_101L]
1245	I_102 [I_102L]	1246	I_103 [I_103L]
1247	I_104 [I_104L]	1248	I_105 [I_105L]
1249	I_106 [I_106L]	1250	I_107 [I_107L]
1251	I_108 [I_108L]	1252	I_109 [I_109L]
1253	I_110 [I_110L]	1254	I_111 [I_111L]
1255	I_112 [I_112L]	1256	I_113 [I_113L]
1257	I_114 [I_114L]	1258	I_115 [I_115L]
1259	未使用 [STB1L]	1260	未使用 [ACK1L]
1261	VCC1H(+5V ~ +24V 入力)	1262	GND1H
1263	I_116 [I_100H]	1264	I_117 [I_101H]
1265	I_118 [I_102H]	1266	I_119 [I_103H]
1267	I_120 [I_104H]	1268	I_121 [I_105H]
1269	I_122 [I_106H]	1270	I_123 [I_107H]
1271	I_124 [I_108H]	1272	I_125 [I_109H]
1273	I_126 [I_110H]	1274	I_127 [I_111H]
1275	I_128 [I_112H]	1276	I_129 [I_113H]
1277	I_130 [I_114H]	1278	I_131 [I_115H]
1279	STB1 [STB1H]	1280	ACK1 [ACK1H]

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

表 8-3 外部入出力ポート 0・1 (パラレル入出力・絶縁) のピン配列

3) ポート0・1 PWM

C N 1 2			
No	信号名	No	信号名
1201	VCC0L(+5V 入力)	1202	GND0L
1203	PWM0_UP [PWM0_UP]	1204	PWM0_UN [PWM0_UN]
1205	PWM0_VP [PWM0_VP]	1206	PWM0_VN [PWM0_VN]
1207	PWM0_WP [PWM1_UP]	1208	PWM0_WN [PWM1_UN]
1209	PWM1_UP [PWM1_VP]	1210	PWM1_UN [PWM1_VN]
1211	PWM1_VP [PWM2_UP]	1212	PWM1_VN [PWM2_UN]
1213	PWM1_WP [PWM2_VP]	1214	PWM1_WN [PWM2_VN]
1215	PWM2_UP [PWM3_UP]	1216	PWM2_UN [PWM3_UN]
1217	PWM2_VP [PWM3_VP]	1218	PWM2_VN [PWM3_VN]
1219	PWM2_WP [NC]	1220	PWM2_WN [NC]
1221	NC	1222	GND0H
1223	PWM0_SyncPLS [同じ]	1224	PWM1_SyncPLS [同じ]
1225	PWM2_SyncPLS [同じ]	1226	NC [PWM3_SyncPLS]
1227	NC	1228	NC
1229	NC	1230	NC
1231	NC	1232	NC
1233	NC	1234	NC
1235	NC	1236	NC
1237	NC	1238	NC
1239	NC	1240	NC
1241	VCC1L(+5V ~ +24V 入力)	1242	GND1L
1243	I_100 [I_100L]	1244	I_101 [I_101L]
1245	I_102 [I_102L]	1246	I_103 [I_103L]
1247	I_104 [I_104L]	1248	I_105 [I_105L]
1249	I_106 [I_106L]	1250	I_107 [I_107L]
1251	I_108 [I_108L]	1252	I_109 [I_109L]
1253	I_110 [I_110L]	1254	I_111 [I_111L]
1255	I_112 [I_112L]	1256	I_113 [I_113L]
1257	I_114 [I_114L]	1258	I_115 [I_115L]
1259	未使用 [STB1L]	1260	未使用 [ACK1L]
1261	VCC1H(+5V ~ +24V 入力)	1262	GND1H
1263	I_116 [I_100H]	1264	I_117 [I_101H]
1265	I_118 [I_102H]	1266	I_119 [I_103H]
1267	I_120 [I_104H]	1268	I_121 [I_105H]
1269	I_122 [I_106H]	1270	I_123 [I_107H]
1271	I_124 [I_108H]	1272	I_125 [I_109H]
1273	I_126 [I_110H]	1274	I_127 [I_111H]
1275	I_128 [I_112H]	1276	I_129 [I_113H]
1277	I_130 [I_114H]	1278	I_131 [I_115H]
1279	STB1 [STB1H]	1280	ACK1 [ACK1H]

**** [****]
 ↑ ↑
 単相モード時
 3相モード時

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

表 8-4 外部入出力ポート0・1 (PWM) のピン配列

4) ポート 0・1 キャプチャ

C N 1 2			
No	信 号 名	No	信 号 名
1201	VCC0L(+5V~+24V 入力)	1202	GND0L
1203	0_000 [0_000L]	1204	0_001 [0_001L]
1205	0_002 [0_002L]	1206	0_003 [0_003L]
1207	0_004 [0_004L]	1208	0_005 [0_005L]
1209	0_006 [0_006L]	1210	0_007 [0_007L]
1211	0_008 [0_008L]	1212	0_009 [0_009L]
1213	0_010 [0_010L]	1214	0_011 [0_011L]
1215	0_012 [0_012L]	1216	0_013 [0_013L]
1217	0_014 [0_014L]	1218	0_015 [0_015L]
1219	未使用 [STB0L]	1220	未使用 [ACK0L]
1221	VCC0H(+5V~+24V 入力)	1222	GND0H
1223	0_016 [0_000H]	1224	0_017 [0_001H]
1225	0_018 [0_002H]	1226	0_019 [0_003H]
1227	0_020 [0_004H]	1228	0_021 [0_005H]
1229	0_022 [0_006H]	1230	0_023 [0_007H]
1231	0_024 [0_008H]	1232	0_025 [0_009H]
1233	0_026 [0_010H]	1234	0_027 [0_011H]
1235	0_028 [0_012H]	1236	0_029 [0_013H]
1237	0_030 [0_014H]	1238	0_031 [0_015H]
1239	STB0 [STB0H]	1240	ACK0 [ACK0H]
1241	NC	1242	GND1L
1243	CPT0_UP [CPT0_UP]	1244	CPT0_UN [CPT0_UN]
1245	CPT0_VP [CPT0_VP]	1246	CPT0_VN [CPT0_VN]
1247	CPT0_WP [CPT1_UP]	1248	CPT0_WN [CPT1_UN]
1249	CPT1_UP [CPT1_VP]	1250	CPT1_UN [CPT1_VN]
1251	CPT1_VP [CPT2_UP]	1252	CPT1_VN [CPT2_UN]
1253	CPT1_WP [CPT2_VP]	1254	CPT1_WN [CPT2_VN]
1255	CPT2_UP [CPT3_UP]	1256	CPT2_UN [CPT3_UN]
1257	CPT2_VP [CPT3_VP]	1258	CPT2_VN [CPT3_VN]
1259	CPT2_WP [NC]	1260	CPT2_WN [NC]
1261	NC	1262	NC
1263	NC	1264	NC
1265	NC	1266	NC
1267	NC	1268	NC
1269	NC	1270	NC
1271	NC	1272	NC
1273	NC	1274	NC
1275	NC	1276	NC
1277	NC	1278	NC
1279	NC	1280	NC

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

**** [****]
 ↑ ↑
 単相モード時
 3相モード時

表 8-5 外部入出力ポート 0・1 (キャプチャ) のピン配列

8.1.3. CN13 (外部入出力ポート2・3)のピン配列

1) ポート2・3 パラレル入出力 (LVTTL入出力)

CN13			
No	信号名	No	信号名
1301	NC	1302	GND2L
1303	O_200 [O_200L]	1304	O_201 [O_201L]
1305	O_202 [O_202L]	1306	O_203 [O_203L]
1307	O_204 [O_204L]	1308	O_205 [O_205L]
1309	O_206 [O_206L]	1310	O_207 [O_207L]
1311	O_208 [O_208L]	1312	O_209 [O_209L]
1313	O_210 [O_210L]	1314	O_211 [O_211L]
1315	O_212 [O_212L]	1316	O_213 [O_213L]
1317	O_214 [O_214L]	1318	O_215 [O_215L]
1319	未使用 [STB2L]	1320	未使用 [ACK2L]
1321	NC	1322	GND2H
1323	O_216 [O_200H]	1324	O_217 [O_201H]
1325	O_218 [O_202H]	1326	O_219 [O_203H]
1327	O_220 [O_204H]	1328	O_221 [O_205H]
1329	O_222 [O_206H]	1330	O_223 [O_207H]
1331	O_224 [O_208H]	1332	O_225 [O_209H]
1333	O_226 [O_210H]	1334	O_227 [O_211H]
1335	O_228 [O_212H]	1336	O_229 [O_213H]
1337	O_230 [O_214H]	1338	O_231 [O_215H]
1339	STB2 [STB2H]	1340	ACK2 [ACK2H]
1341	NC	1342	GND3L
1343	I_300 [I_300L]	1344	I_301 [I_301L]
1345	I_302 [I_302L]	1346	I_303 [I_303L]
1347	I_304 [I_304L]	1348	I_305 [I_305L]
1349	I_306 [I_306L]	1350	I_307 [I_307L]
1351	I_308 [I_308L]	1352	I_309 [I_309L]
1353	I_310 [I_310L]	1354	I_311 [I_311L]
1355	I_312 [I_312L]	1356	I_313 [I_313L]
1357	I_314 [I_314L]	1358	I_315 [I_315L]
1359	未使用 [STB3L]	1360	未使用 [ACK3L]
1361	NC	1362	GND3H
1363	I_316 [I_300H]	1364	I_317 [I_301H]
1365	I_318 [I_302H]	1366	I_319 [I_303H]
1367	I_320 [I_304H]	1368	I_321 [I_305H]
1369	I_322 [I_306H]	1370	I_323 [I_307H]
1371	I_324 [I_308H]	1372	I_325 [I_309H]
1373	I_326 [I_310H]	1374	I_327 [I_311H]
1375	I_328 [I_312H]	1376	I_329 [I_313H]
1377	I_330 [I_314H]	1378	I_331 [I_315H]
1379	STB3 [STB3H]	1380	ACK3 [ACK3H]

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

表 8-6 外部入出力ポート2・3 (パラレル入出力・LVTTL)のピン配列

2) ポート 2・3 パラレル入出力 (フォトカプラ絶縁入出力)

C N 1 3			
No	信 号 名	No	信 号 名
1301	VCC2L(+5V ~ +24V 入力)	1302	GND2L
1303	O_200 [O_200L]	1304	O_201 [O_201L]
1305	O_202 [O_202L]	1306	O_203 [O_203L]
1307	O_204 [O_204L]	1308	O_205 [O_205L]
1309	O_206 [O_206L]	1310	O_207 [O_207L]
1311	O_208 [O_208L]	1312	O_209 [O_209L]
1313	O_210 [O_210L]	1314	O_211 [O_211L]
1315	O_212 [O_212L]	1316	O_213 [O_213L]
1317	O_214 [O_214L]	1318	O_215 [O_215L]
1319	未使用 [STB2L]	1320	未使用 [ACK2L]
1321	VCC2H(+5V ~ +24V 入力)	1322	GND2H
1323	O_216 [O_200H]	1324	O_217 [O_201H]
1325	O_218 [O_202H]	1326	O_219 [O_203H]
1327	O_220 [O_204H]	1328	O_221 [O_205H]
1329	O_222 [O_206H]	1330	O_223 [O_207H]
1331	O_224 [O_208H]	1332	O_225 [O_209H]
1333	O_226 [O_210H]	1334	O_227 [O_211H]
1335	O_228 [O_212H]	1336	O_229 [O_213H]
1337	O_230 [O_214H]	1338	O_231 [O_215H]
1339	STB2 [STB2H]	1340	ACK2 [ACK2H]
1341	VCC3L(+5V ~ +24V 入力)	1342	GND3L
1343	I_300 [I_300L]	1344	I_301 [I_301L]
1345	I_302 [I_302L]	1346	I_303 [I_303L]
1347	I_304 [I_304L]	1348	I_305 [I_305L]
1349	I_306 [I_306L]	1350	I_307 [I_307L]
1351	I_308 [I_308L]	1352	I_309 [I_309L]
1353	I_310 [I_310L]	1354	I_311 [I_311L]
1355	I_312 [I_312L]	1356	I_313 [I_313L]
1357	I_314 [I_314L]	1358	I_315 [I_315L]
1359	未使用 [STB3L]	1360	未使用 [ACK3L]
1361	VCC3H(+5V ~ +24V 入力)	1362	GND3H
1363	I_316 [I_300H]	1364	I_317 [I_301H]
1365	I_318 [I_302H]	1366	I_319 [I_303H]
1367	I_320 [I_304H]	1368	I_321 [I_305H]
1369	I_322 [I_306H]	1370	I_323 [I_307H]
1371	I_324 [I_308H]	1372	I_325 [I_309H]
1373	I_326 [I_310H]	1374	I_327 [I_311H]
1375	I_328 [I_312H]	1376	I_329 [I_313H]
1377	I_330 [I_314H]	1378	I_331 [I_315H]
1379	STB3 [STB3H]	1380	ACK3 [ACK3H]

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

表 8 - 7 外部入出力ポート 2・3 (パラレル入出力・絶縁) のピン配列

3) ポート 2・3 パルスジェネレータ

C N 1 3			
No	信 号 名	No	信 号 名
1301	NC	1302	GND2L
1303	PLS0_A+	1304	PLS0_A-
1305	PLS0_B+	1306	PLS0_B-
1307	PLS0_Z+	1308	PLS0_Z-
1309	PLS1_A+	1310	PLS1_A-
1311	PLS1_B+	1312	PLS1_B-
1313	PLS1_Z+	1314	PLS1_Z-
1315	PLS2_A+	1316	PLS2_A-
1317	PLS2_B+	1318	PLS2_B-
1319	NC	1320	NC
1321	NC	1322	NC
1323	PLS2_Z+	1324	PLS2_Z-
1325	PLS3_A+	1326	PLS3_A-
1327	PLS3_B+	1328	PLS3_B-
1329	PLS3_Z+	1330	PLS3_Z-
1331	NC	1332	NC
1333	NC	1334	NC
1335	NC	1336	NC
1337	NC	1338	NC
1339	NC	1340	NC
1341	VCC3L(+5V ~ +24V 入力)	1342	GND3L
1343	I_300 [I_300L]	1344	I_301 [I_301L]
1345	I_302 [I_302L]	1346	I_303 [I_303L]
1347	I_304 [I_304L]	1348	I_305 [I_305L]
1349	I_306 [I_306L]	1350	I_307 [I_307L]
1351	I_308 [I_308L]	1352	I_309 [I_309L]
1353	I_310 [I_310L]	1354	I_311 [I_311L]
1355	I_312 [I_312L]	1356	I_313 [I_313L]
1357	I_314 [I_314L]	1358	I_315 [I_315L]
1359	未使用 [STB3L]	1360	未使用 [ACK3L]
1361	VCC3H(+5V ~ +24V 入力)	1362	GND3H
1363	I_316 [I_300H]	1364	I_317 [I_301H]
1365	I_318 [I_302H]	1366	I_319 [I_303H]
1367	I_320 [I_304H]	1368	I_321 [I_305H]
1369	I_322 [I_306H]	1370	I_323 [I_307H]
1371	I_324 [I_308H]	1372	I_325 [I_309H]
1373	I_326 [I_310H]	1374	I_327 [I_311H]
1375	I_328 [I_312H]	1376	I_329 [I_313H]
1377	I_330 [I_314H]	1378	I_331 [I_315H]
1379	STB3 [STB3H]	1380	ACK3 [ACK3H]

**** [****]
 ↑ 16ビットモード時
 32ビットモード時

表 8-8 外部入出力ポート 2・3 (パルスジェネレータ) のピン配列

4) ポート 2・3 カウンタ

C N 1 3			
No	信 号 名	No	信 号 名
1301	VCC2L(+5V ~ +24V 入力)	1302	GND2L
1303	O_200 [O_200L]	1304	O_201 [O_201L]
1305	O_202 [O_202L]	1306	O_203 [O_203L]
1307	O_204 [O_204L]	1308	O_205 [O_205L]
1309	O_206 [O_206L]	1310	O_207 [O_207L]
1311	O_208 [O_208L]	1312	O_209 [O_209L]
1313	O_210 [O_210L]	1314	O_211 [O_211L]
1315	O_212 [O_212L]	1316	O_213 [O_213L]
1317	O_214 [O_214L]	1318	O_215 [O_215L]
1319	未使用 [STB2L]	1320	未使用 [ACK2L]
1321	VCC2H(+5V ~ +24V 入力)	1322	GND2H
1323	O_216 [O_200H]	1324	O_217 [O_201H]
1325	O_218 [O_202H]	1326	O_219 [O_203H]
1327	O_220 [O_204H]	1328	O_221 [O_205H]
1329	O_222 [O_206H]	1330	O_223 [O_207H]
1331	O_224 [O_208H]	1332	O_225 [O_209H]
1333	O_226 [O_210H]	1334	O_227 [O_211H]
1335	O_228 [O_212H]	1336	O_229 [O_213H]
1337	O_230 [O_214H]	1338	O_231 [O_215H]
1339	STB2 [STB2H]	1340	ACK2 [ACK2H]
1341	NC	1342	GND3L
1343	CNT0_A+	1344	CNT0_A-
1345	CNT0_B+	1346	CNT0_B-
1347	CNT0_Z+	1348	CNT0_Z-
1349	CNT1_A+	1350	CNT1_A-
1351	CNT1_B+	1352	CNT1_B-
1353	CNT1_Z+	1354	CNT1_Z-
1355	CNT2_A+	1356	CNT2_A-
1357	CNT2_B+	1358	CNT2_B-
1359	NC	1360	NC
1361	VCC3H(+5V ~ +24V 入力)	1362	NC
1363	CNT2_Z+	1364	CNT2_Z-
1365	CNT3_A+	1366	CNT3_A-
1367	CNT3_B+	1368	CNT3_B-
1369	CNT3_Z+	1370	CNT3_Z-
1371	CNT0_RST	1372	CNT1_RST
1373	CNT2_RST	1374	CNT3_RST
1375	(使用不可)	1376	(使用不可)
1377	(使用不可)	1378	(使用不可)
1379	NC	1380	NC

**** [****]
 ↑ ↑
 16ビットモード時
 32ビットモード時

表 8 - 9 外部入出力ポート 2・3 (カウンタ) のピン配列

8.2. ピン配置



図 8 - 1 CN 4 を挿入方向から見たピン配置

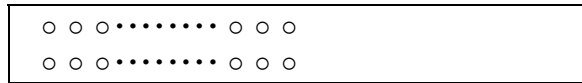


図 8 - 2 CN 1 2 ・ CN 1 3 を挿入方向から見たピン配置

9 . 添付品

品 名	型 式	数量	メーカー
ケーブル付きコネクタ	8825E-080-175-157S-G0	2	ケル
ケーブル付きコネクタ	PS-16SEN-D4P1-1C	1	J A E

- ・本マニュアルの内容は製品の改良のため予告無しに変更される事がありますので、ご了承下さい。

**ADSP324-145 マルチファンクションボード
ハードウェアユーザーズ・マニュアル**

中部電機株式会社

〒440-0004 愛知県豊橋市忠興3丁目2-8

TEL <0532>61-9566 FAX <0532>63-1081

URL : <http://www.chubu-el.co.jp>

E-mail : csg@chubu-el.co.jp

2005. 2 第5版発行