

A D S P 3 2 4 - 1 4 1

ハードウェア

ユーザース・マニュアル

中部電機株式会社

目次

1	概説	1
2	基本仕様	2
2.1	精度及び機能	2
2.2	コネクタ、ディップスイッチ、ボリュームの配置	3
2.3	出荷時の設定	4
2.4	ボードの設置方法	5
2.5	入出力信号の接続方法	6
3	初期設定	9
3.1	ボードアドレスの設定	10
3.2	割り込みフラグ	11
3.3	メモリマップ	12
3.4	コントロール・レジスタの設定	13
4	動作モード	14
4.1	サンプリング・クロックの選択	14
4.2	オンチップタイマの設定	16
4.3	オンチップタイマによる割り込みの生成	17
5	割り込み	18
5.1	A / D変換終了割り込み (A / D ・ D / A同時変換 (同期)) の使用例	20
6	ボードの制御とメモリマップ	21
6.1	A / Dコンバータの変換開始指令	24
6.2	A / Dコンバータの変換データの読み出し	24
6.3	D / Aコンバータへのデータ書き込み	25
6.4	A / Dコンバータのビジーフラグ (変換中) チェック	26
6.5	コントロール・レジスタの設定と動作	28
6.5.1	DSPデータの書き込みによるA / D ・ D / Aコンバータ変換	28
6.5.2	A / D ・ D / Aコンバータの同期変換	28
6.5.3	A / Dコンバータのみ同期変換 (D / Aコンバータはデータの書き込み変換)	28
6.5.4	割り込み信号のマスク制御	28
7	A / D ・ D / A変換データの関係	29
7.1	入力電圧とA / D変換データの関係	29
7.2	出力データとD / Aコンバータの変換電圧との関係	30
8	A / Dコンバータの校正	31
8.1	オフセット調整	31
8.2	ゲイン調整	32

9	D / Aコンバータの校正	33
9.1	出力電圧の校正	33
9.1.1	出力電圧のオフセット調整	33
9.1.2	出力電圧のスケール調整	33
10	アナログ入出力コネクタのピン配置	34
11	添付品	35

図目次

図 1	ADSP324-141 部品配置図	3
図 2	ディップスイッチの出荷時設定	4
図 3	D / Aコンバータ出力回路	6
図 4	A / Dコンバータ入力回路	7
図 5	ボードアドレスの設定	10
図 6	割り込みフラグの設定	11
図 7	変換開始モードの選択	15
図 8	A / D変換終了割り込み (同期) を使った A / D ・ D / A変換タイムチャート	20
図 9	A / Dコンバータの制御タイミングチャート	24
図 10	CN12、13、14のコネクターを挿入方向からみた図	35

表目次

表 1	アナログ入出力、アナログ電源コネクタ表	5
表 2	ディップスイッチの論理表	9
表 3	DSW101・DSW102・DSW103	10
表 4	DSW104	11
表 5	メモリマップ	12
表 6	コントロール・レジスタの設定内容	13
表 7	サンプリング信号の選択	14
表 8	タイマ関連のメモリマップ	16
表 9	グローバル制御レジスタ	16
表 10	オンチップタイマのスタートとストップ	16
表 11	IEレジスタ	17
表 12	IFレジスタ	17
表 13	割り込みベクタアドレス	17
表 14	割り込みフラグレジスタのメモリマップ	18
表 15	割り込みフラグレジスタの構成	19
表 16	DSW104の割り込みフラグレジスタへの割付	19
表 17	メモリマップ	23
表 18	ビジーフラグの定義	27
表 19	ビジーフラグ読み出しデータのビットマップ	27
表 20	割コントロールレジスタ	28
表 21	理想入力電圧とA/D変換データ	29
表 22	出力データとD/Aコンバータの変換出力電圧	30
表 23	A/Dコンバータオフセット調整時の入力電圧	31
表 24	A/Dコンバータ校正用ボリューム一覧表	32
表 25	A/Dコンバータゲイン調整時の入力電圧	32
表 26	出力電圧の校正用ボリューム一覧表	33
表 27	D/Aコンバータ出力のスケール調整時の出力電圧	33
表 28	CN12	34
表 29	CN13	34
表 30	CN14	34
表 31	添付品一覧	35

1 概 説

ADSP324-141は「ADSPシリーズ」のDSPボード専用の多チャンネルA/D & D/A変換ボードです。

主な機能は

本ボードは8台まで増設可能です。

A/Dコンバータは16chの同時変換が可能である。D/Aコンバータは8chを任意に出力することができます。また外部変換開始信号によりD/Aの同時変換も可能です。(オプションで12ch可能)

DSPボードに対する割り込みの発生はA/D変換の終了であり、割り込みをマスクすることも可能です。

複数のボードからINT3の割り込みが発生した場合でも割り込みフラグを設定する事により8種類の識別が可能です。

本ボードには自動変換開始機能があり外部変換開始信号に同期させてA/DコンバータとD/Aコンバータの変換を同時に開始することができる。(3.4)

外部変換開始信号は

DSPのオンチップタイマ0のカウントアップによるクロックアウト(TCLK0)信号

外部クロック信号

の2種類がありいずれか一方を選択することができます。

またA/D, D/A変換器を最大128, 96chまで同時変換させることができます。

等があり、デジタル信号処理のアプリケーションに適した構成になっています。

2 基本仕様

2.1 精度及び機能

A / Dコンバータ部

分解能	12 bit
変換時間	10 μ sec
チャンネル数	16 ch
変換順序	16 ch同時変換
入力方式	作動入力
入力電圧範囲	± 10 V
入力インピーダンス	10 ¹⁰
自動変換開始機能	外部変換開始信号に同期して全チャンネル同時変換

D / Aコンバータ部

分解能	16 bit
変換時間	6 μ sec / ch (標準値)
チャンネル数	8 ch (オプションで12 ch)
変換順序	任意チャンネル変換、または8 ch同時変換
出力電圧範囲	± 10 V
出力電流	最大 ± 5 mA
出力インピーダンス	0.1
自動変換開始機能	外部変換開始信号 (*EXTCLK・*TCLK0)に同期して全チャンネル同時変換

割り込み

割り込みの発生源	A / D変換 (BUSY) の終了
割り込みレベル	INT3
割り込みフラグ	INT3の8種類の識別可能
割り込みパルス幅	約100 nsec

外部変換開始信号

DSPのオンチップタイマ0のカウントアップによるクロックアウト (TCLK0) 信号
外部クロック信号 TTLレベル・負論理・立ち下がりエッジ入力プルアップ抵抗 4.7K

電源	デジタル回路電源 (ISAバス供給)	DC +5 V (2A)
	アナログ回路電源 (外部電源供給)	DC ± 15 V (± 0.5 A)
	"	DC +5 V (0.6 A)
	推奨アナログ電源 (別売)	GT2.5W-15(COSEL)、G1-5(COSEL)

2.2 コネクタ、ディップスイッチ、ボリュームの配置

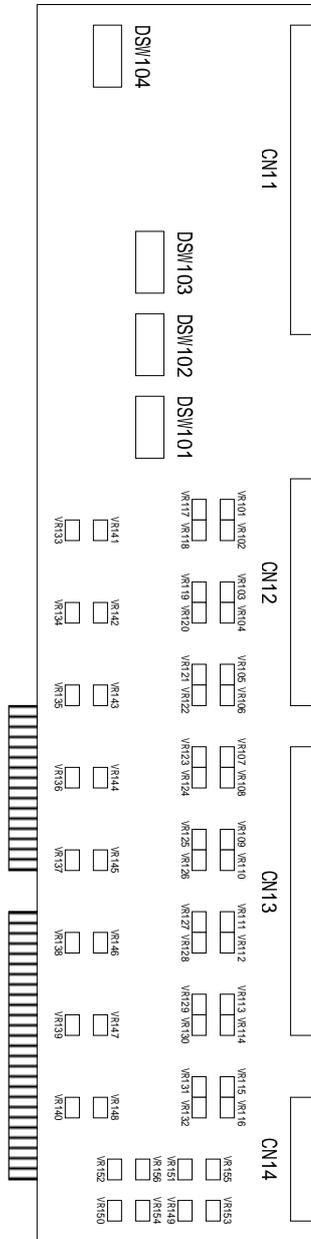


図 1 ADSP324-141 部品配置図

2.3 出荷時の設定

DSW101	1 2 3 4 5 6 7 8		ボードアドレス： <u>9 0 0 2 8 0</u> h
0 N	<input type="checkbox"/>		
OFF	<input type="checkbox"/>		
DSW102	1 2 3 4 5 6 7 8		ボードアドレス：9 0 <u>0 2</u> 8 0 h
0 N	<input type="checkbox"/>		
OFF	<input type="checkbox"/>		
DSW103	1 2 3 4 5 6 7 8		ボードアドレス：9 0 0 2 <u>8</u> 0 h
0 N	<input type="checkbox"/>		
OFF	<input type="checkbox"/>		
DSW104	1 2 3 4 5 6 7 8		割り込みフラグ：設定無し
0 N	<input type="checkbox"/>		
OFF	<input type="checkbox"/>		

図 2 ディップスイッチの出荷時設定

2.4 ボードの設置方法

1. 本ボードを拡張スロットに装着します。
2. DSPボードのコネクタ(CN**)と、本ボードのCN11を拡張バスケーブルで接続します。

ADSP324-141	DSPボード
CN11	ADSP324-00A:CN12
	ADSP674-00:CN11

拡張バスケーブル	ADSP324-15	オプション
----------	------------	-------

A/D入力とD/A出力、アナログ電源は下記のコネクタに接続します。
ピン配置は、[表 28](#)、[表 29](#)、[表 30](#)を参照して下さい。

機種	A/D入力とD/A出力コネクタ	アナログ電源コネクタ
ADSP324-141	CN12、CN13	CN14

表 1 アナログ入出力、アナログ電源コネクタ表

2.5 入出力信号の接続方法

1. D/Aコンバータの出力は

OUT*	D/Aコンバータの出力
AGND	アナロググランド

で1組の出力回路を構成しています。入出力用コネクタの信号配置は表29、表30を参照して下さい。

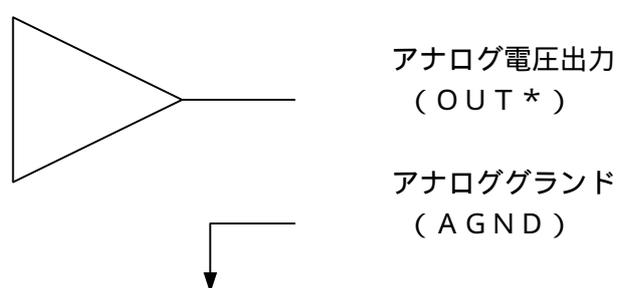


図3 D/Aコンバータ出力回路

2. A/Dコンバータの入力回路は差動入力回路となっています。入力端子は

+ I N *	バッファアンプの正転入力
- I N *	バッファアンプの反転入力
A G N D	アナロググランド

で1組の入力回路を構成しています。入出力用コネクタの信号配置は表29、表30を参照して下さい。

【注意】A/Dコンバータの未使用回路の入力は
アナログ非反転入力には、+1.0Vか-1.0Vに接続して下さい。
アナログ反転入力には、AGNDに接続して下さい。

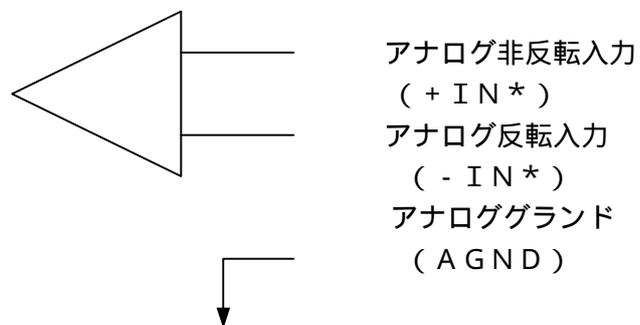


図4 A/Dコンバータ入力回路

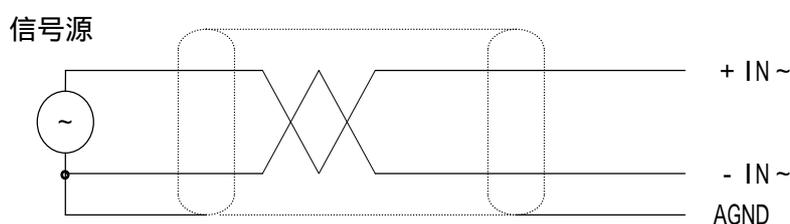
3. A / D 入力の標準的な接続方法

ADSP32XシリーズのA / D・D / AボードのA / D入力仕様は作動入力となっています。作動入力の最大の利点は、信号源からA / D入力端までの配線に対し電磁誘導等で発生するコモンモードノイズを除去する事により高品質の信号を取得出来る点にあります。この機能を有効に利用するには作動入力に適した配線を行わないといけません。

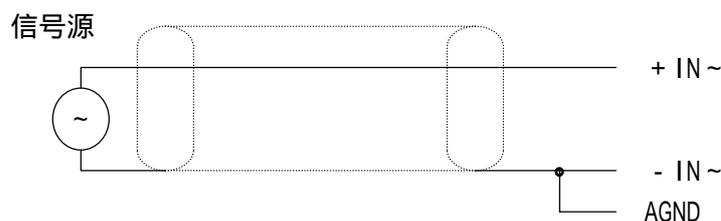
簡易的に配線を簡略化する場合にも作動入力に適合した配線が必需です。そうしないと正しい入力が出来ない場合がありますので注意が必需です。

接続例

2 芯ツイストシールド線を使った理想的な配線



単芯シールド線を使った簡略的な配線（作動入力の意味は失われています）



何れの場合も、- IN ~ と AGND は必ず接続してください。

3 初期設定

本ボードで初期設定が必要なものはディップスイッチ【DSW101】～【DSW104】とメモリマップされたレジスタがあります。ディップスイッチの設定は大きく分けて2つの部分から構成されています。

1. ボードアドレス
2. 割り込みフラグの設定

またレジスタには

1. 割り込みコントロール、サンプリング・クロックの選択、割り込み源の選択

などがあり、機能内容の選択のために初期設定を行います。

【注意】ディップスイッチは論理下記のように定義されています。

DSW*** 1 2 3 4
ON DSW***の1～4の設定はすべて“ON”
OFF の状態を示しています

	O N	O F F
論 理	0	1

表 2 ディップスイッチの論理表

3.1 ボードアドレスの設定

ADSP324-141はアドレスラインのA00～A04をデコードし20h(32)ワードの領域を使用します。そして【DSW101】・【DSW102】・【DSW103】を使ってA05～A23のアドレスを設定し900000h～90FFFFhの64Kワードの領域内に割り付けます。表3に【DSW101】～【DSW103】のアドレス信号割り付けと図5に設定例を示します。また、拡張ボードは1台のDSPボードに対し8台まで接続することができますのでアドレスが重ならないよう設定します。

DSW101	
DSW101	信号名
8	A23
7	A22
6	A21
5	A20
4	A19
3	A18
2	A17
1	A16

DSW102	
DSW102	信号名
8	A15
7	A14
6	A13
5	A12
4	A11
3	A10
2	A09
1	A08

DSW103	
DSW102	信号名
8	A07
7	A06
6	A05
5	未使用
4	未使用
3	未使用
2	未使用
1	未使用

表3 DSW101・DSW102・DSW103

ボードアドレス：900280h



図5 ボードアドレスの設定

3.2 割り込みフラグ

割り込みフラグはどの周辺ボードが割り込みを発生しているかを識別するためのものです。各ボード毎に任意のフラグを【DSW104】を使って設定することができます。DSPボードはこの割り込みフラグを90FFFFhのD00～D07より読み出すことができます。出荷時の設定を図6に示します。

DSW104		
DSW104	信号名	90FFFFh
8	割り込みフラグ8	D07
7	割り込みフラグ7	D06
6	割り込みフラグ6	D05
5	割り込みフラグ5	D04
4	割り込みフラグ4	D03
3	割り込みフラグ3	D02
2	割り込みフラグ2	D01
1	割り込みフラグ1	D00

表 4 DSW104

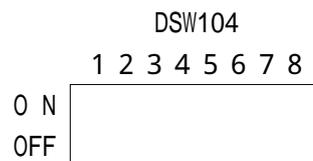


図 6 割り込みフラグの設定

3.3 メモリマップ

本ボードのベースアドレスを900280hに設定した場合のメモリマップを表5に示します。割り込みコントロール・レジスタ、は操作内容により初期設定が必要になります。

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900280h	900280h	03000A00h	A/D 変換開始	A/D・00 からのデータ入力
900281h	900281h	03000A04h	A/D 変換開始	A/D・01 からのデータ入力
900282h	900282h	03000A08h	A/D 変換開始	A/D・02 からのデータ入力
900283h	900283h	03000A0Ch	A/D 変換開始	A/D・03 からのデータ入力
900284h	900284h	03000A10h	A/D 変換開始	A/D・04 からのデータ入力
900285h	900285h	03000A14h	A/D 変換開始	A/D・05 からのデータ入力
900286h	900286h	03000A18h	A/D 変換開始	A/D・06 からのデータ入力
900287h	900287h	03000A1Ch	A/D 変換開始	A/D・07 からのデータ入力
900280h	900280h	03000A20h	A/D 変換開始	A/D・08 からのデータ入力
900289h	900289h	03000A24h	A/D 変換開始	A/D・09 からのデータ入力
90028Ah	90028Ah	03000A28h	A/D 変換開始	A/D・10 からのデータ入力
90028Bh	90028Bh	03000A2Ch	A/D 変換開始	A/D・11 からのデータ入力
90028Ch	90028Ch	03000A30h	A/D 変換開始	A/D・12 からのデータ入力
90028Dh	90028Dh	03000A34h	A/D 変換開始	A/D・13 からのデータ入力
90028Eh	90028Eh	03000A38h	A/D 変換開始	A/D・14 からのデータ入力
90028Fh	90028Fh	03000A3Ch	A/D 変換開始	A/D・15 からのデータ入力
900290h	900290h	03000A40h	D/A・00 へのデータ出力	
900291h	900291h	03000A44h	D/A・01 へのデータ出力	
900292h	900292h	03000A48h	D/A・02 へのデータ出力	
900293h	900293h	03000A4Ch	D/A・03 へのデータ出力	
900294h	900294h	03000A50h	D/A・04 へのデータ出力	
900295h	900295h	03000A54h	D/A・05 へのデータ出力	
900296h	900296h	03000A58h	D/A・06 へのデータ出力	
900297h	900297h	03000A5Ch	D/A・07 へのデータ出力	
900298h	900298h	03000A60h	D/A・08 へのデータ出力(オプション)	
900299h	900299h	03000A64h	D/A・09 へのデータ出力(オプション)	
90029Ah	90029Ah	03000A68h	D/A・10 へのデータ出力(オプション)	
90029Bh	90029Bh	03000A6Ch	D/A・11 へのデータ出力(オプション)	
90029Ch	90029Ch	03000A70h		A / D ビジーフラグ
90029Dh	90029Dh	03000A74h	コントロール・レジスタ	
90029Eh	90029Eh	03000A78h		
90029Fh	90029Fh	03000A7Ch	割り込みフラグリセット	
90FFFFh	90FFFFh	0303FFFCh	全割り込みフラグリセット	割り込みフラグ読みだし

表 5 メモリマップ

3.4 コントロール・レジスタの設定

コントロール・レジスタの設定内容を表 6に示します。電源投入時、このレジスタはイニシャルリセットされ【0】になっています。よってDSPによる変換開始で割り込みは発生しません。この設定により、A/D・D/Aコンバータや、割り込みによる動作が設定できます。詳細は4.1と6.5を参照して下さい。

コントロールレジスタ	0	1
bit 3	割り込み不可	割り込み可
bit 2	同期	非同期
bit 1	TCLK0による変換開始	EXTCLKによる変換開始
bit 0	DSPによる変換開始	外部クロックによる変換開始

表 6 コントロール・レジスタの設定内容

4 動作モード

4.1 サンプリング・クロックの選択

本ボードのサンプリングモードは表 7 の様に 4 種類の中から選択する事ができます。そしてサンプリングを外部変換開始信号に同期させて A / D コンバータと D / A コンバータの各チャンネルを同時に変換させることも可能です。さらに 4 種類のモード全てに於いて A / D 変換終了の確認を A / D 変換終了割り込みを使って知ることができます。

EXTCLK ボードの外部からサンプリング信号を与え変換を開始させる時に使用します。入力信号は TTL レベルで負論理で立ち下りのエッジに同期されます。複数台に EXTCLK を入力すれば複数台の同時サンプリングが可能となります。A / D 変換割り込みを使って入出力処理を行うと DSP のアイドル時間が無く効率的です。5.1 を参照して下さい。

TCLK0 DSP 内のオンチップタイマの【タイマ 0】で生成されたパルスを出力するピンの信号が DSP 拡張バスに出力されています。この信号を利用する事により複数台の A / D ・ D / A ボードに同期を掛ける事ができます。この場合タイマ 0 の割り込みは使用しません。A / D 変換割り込みを使って入出力処理を行うと DSP のアイドル時間が無く効率的です。4.2、5.1 を参照して下さい。

オンチップタイマ DSP 内のオンチップタイマの【タイマ 0】或いは、【タイマ 1】を使ってサンプリング周期を決め周期毎に割り込みを発生させて割り込み処理ルーチンの中で A / D コンバータの読み出しや、A / D コンバータの変換開始、D / A コンバータへの出力を行います。

任意 任意のタイミングで A / D 変換 ・ D / A 変換を行います。

【注意】 複数台の A / D ・ D / A ボードを使用する場合は 1 台のみ割り込みを可能となるよう設定して下さい。

コントロールビット	EXTCLK	TCLK0	オンチップタイマ-割込	任意タイミング
変換開始モード	自動変換	自動変換	DSP 起動	DSP 起動
bit 0	1	1	0	0
bit 1	1	0	0	0
用途	外部信号にサンプリングを同期させて行う	オンチップタイマ-の割り込み信号にサンプリングを同期させて複数台を同時に行う	オンチップタイマ-の割り込みにサンプリングを同期させて行う	任意のタイミングでサンプリングを行う

表 7 サンプリング信号の選択

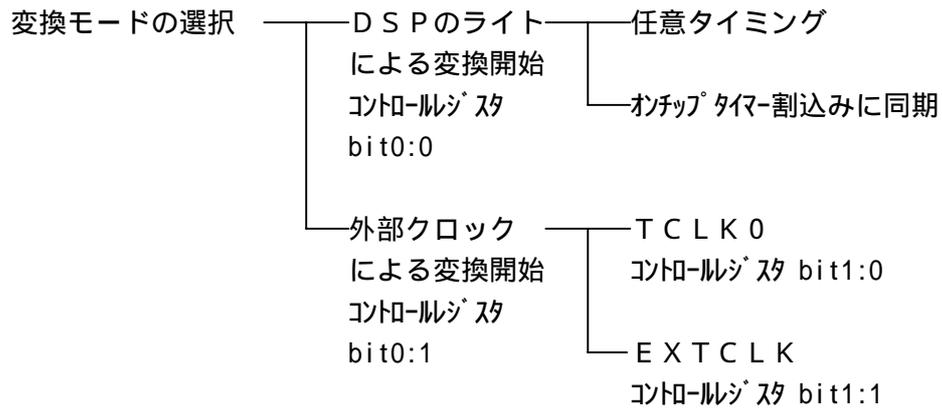


図 7 変換開始モードの選択

4.2 オンチップタイマの設定

オンチップタイマを使用するためにはグローバル制御レジスタとタイマ周期レジスタの初期設定をしなければなりません。そしてタイマ・カウンタ・レジスタはタイマ周期に至る途中の値を示しており、これらのレジスタはDSPチップ内にあります。タイマ関連のメモリマップを表 8 に示します。そして本ボードのサンプリングをオンチップタイマのクロックアウト信号 (*TCLK0) による自動変換を行うために【タイマ0】に関連したレジスタを設定しなければなりません。そのためタイマ0のグローバル制御レジスタは表 9 の様に設定しなければなりません。尚タイマのスタートとストップはGOと*HLDを表 10 のように設定します。

さらにタイマ周期の設定は次の計算式により決定されます。

例) ADSP324-00A (50MHz) の場合

$$\begin{aligned} \text{タイマクロック} &= \text{DSPクロック} \div 4 (\text{定数}) \\ &= 50\text{MHz} \div 4 \\ &= 12.5\text{MHz} \end{aligned}$$

$$\text{タイマ出力周波数} = \text{タイマクロック} (12.5\text{MHz}) \div \text{周期レジスタ}$$

	タイマ0	タイマ1
グローバル制御レジスタ	808020h	808030h
タイマ・カウンタ・レジスタ	808024h	808034h
タイマ周期レジスタ	808028h	808038h

表 8 タイマ関連のメモリマップ

グローバル制御レジスタ			
bit	名称	論理	機能
0	FUNK	1	TCLKはタイマピンとなる
6	GO	1/0	GO=1 & /HLD=1 : タイマスタート
7	*HLD	1/0	GO=0 & /HLD=0 : タイマストップ
8	C/*P	0	パルスモードを選択。パルス幅は1/f(H1)
9	CLKSR	1	タイマ・カウンタは内部クロックをカウントする
10	INV	1	TCLKの出力は反転されて負論理となる

表 9 グローバル制御レジスタ

	GO (bit 6)	*HLD (bit 7)
スタート	1	1
ストップ	0	0

表 10 オンチップタイマのスタートとストップ

4.3 オンチップタイマによる割り込みの生成

オンチップタイマはタイマ・カウンタ・レジスタの値がタイマ周期レジスタの値に到達する度に割り込みを発生させることができます。タイマ周期毎に割り込みを発生させるためにはIEレジスタ（インタラプト・イネーブル・レジスタ：表 11）のタイマ0、タイマ1に対応したBITを1にします。オンチップタイマの周期毎の割り込み時にA/D・D/Aコンバータのサンプリング等を行います。またIFレジスタ（表 12）のビットの値が【1】になっているところは割り込みがあったかどうかを示しています。そして割り込みフラグを確認した後、次の割り込みのためにそのフラグをリセットしておきます。割り込みが発生したときに処理するべきプログラムのアドレスを割り込みベクタアドレス（表 13）に格納しておきます。

【注意】

DSPはステータスレジスタ（ST）のGIE（bit 13）の値が【1】に設定されていなければ割り込みには応答できません。

本ボードが発生する割り込みはDSPの【INT3】です。

bit	IEレジスタ	
8	ETINT0	タイマ0 割り込み
9	ETINT1	タイマ1 割り込み
3	INT3	INT3 割り込み

表 11 IEレジスタ

bit	IFレジスタ	
8	TINT0	タイマ0 割り込み
9	TINT1	タイマ1 割り込み
3	INT3	INT3 割り込み

表 12 IFレジスタ

割り込みベクタアドレス	
INT3	04h
TINT0	09h
TINT1	0Ah

表 13 割り込みベクタアドレス

5 割り込み

D S Pボードに対する割り込みの発生は『A / D変換終了割り込み』があります。

割り込み源は割り込みコントロールレジスタの設定によりソフトウェア的に割り込みをマスクすることができます。(6.5参照) また、割り込みが発生した場合に『割り込みフラグレジスタ』を読み出すことによりどのボードが割り込みを発生したかの確認ができます。

【注意】

複数台の本ボードを使用し、1種類の外部クロックに同期して変換を行う場合にはその内の1台のみ割り込みを可能となるよう設定して下さい。

割り込みフラグレジスタ

割り込みフラグレジスタはどのボードが割り込みを発生しているかを識別するためのレジスタでこのレジスタは【90FFFFh】にマップされています。割り込みが発生しているビットには【0】がセットされ、割り込みの無いビットには【1】がセットされます。そして本ボードが割り込みを発生したときに、この割り込みフラグレジスタのどのビットに【0】を立てるかを【DSW104】を使って選択します。割り込みの識別できる数は8つです。割り込みフラグレジスタは【bit0】～【bit7】までの8bitで構成され、【bit8】～【bit31】までは常に【1】となっています。

そして割り込みを示している【bit】のみリセットする場合は【ベースアドレス+1Fh】番地に書き込み動作を行う事により(データは何でも良い)そのボードのフラグビットをリセットすることができます。また【90FFFFh】に書き込み動作を行う事により全ボードをリセットすることができます。

割り込みフラグレジスタ	READ	WRITE
ベースアドレス+1Fh		本ボードリセット
90FFFFh	レジスタ読み込み	全ボードリセット

表 14 割り込みフラグレジスタのメモリマップ

割り込みフラグレジスタ			
bit	割り込み有り	割り込み無し	DSW104
31		1	
·		1	
·		1	
8		1	
7	0	1	8
6	0	1	7
5	0	1	6
4	0	1	5
3	0	1	4
2	0	1	3
1	0	1	2
0	0	1	1

表 15 割り込みフラグレジスタの構成

DSW104	ON	OFF	接続先
8	接続	否接続	D07
7	接続	否接続	D06
6	接続	否接続	D05
5	接続	否接続	D04
4	接続	否接続	D03
3	接続	否接続	D02
2	接続	否接続	D01
1	接続	否接続	D00

表 16 DSW104の割り込みフラグレジスタへの割付

5.1 A / D変換終了割り込み (A / D ・ D / A同時変換 (同期)) の使用例

自動変換機能を行っているときに、外部変換開始信号に同期してA / Dコンバータは変換が開始され、またD / Aコンバータは前回D / Aコンバータのバッファに貯えられたデータを出力します。そしてA / DコンバータがA / D変換終了の割り込みを発生するとDSPは『INT3』のベクタアドレスに格納されている割り込み処理ルーチンにジャンプし、割り込みフラグレジスタを読み込みます。さらにDSPはユーザの『ある処理』を行いその結果をD / Aコンバータのバッファに書き込み一時的にデータを蓄え次回の外部変換開始信号に備えます。

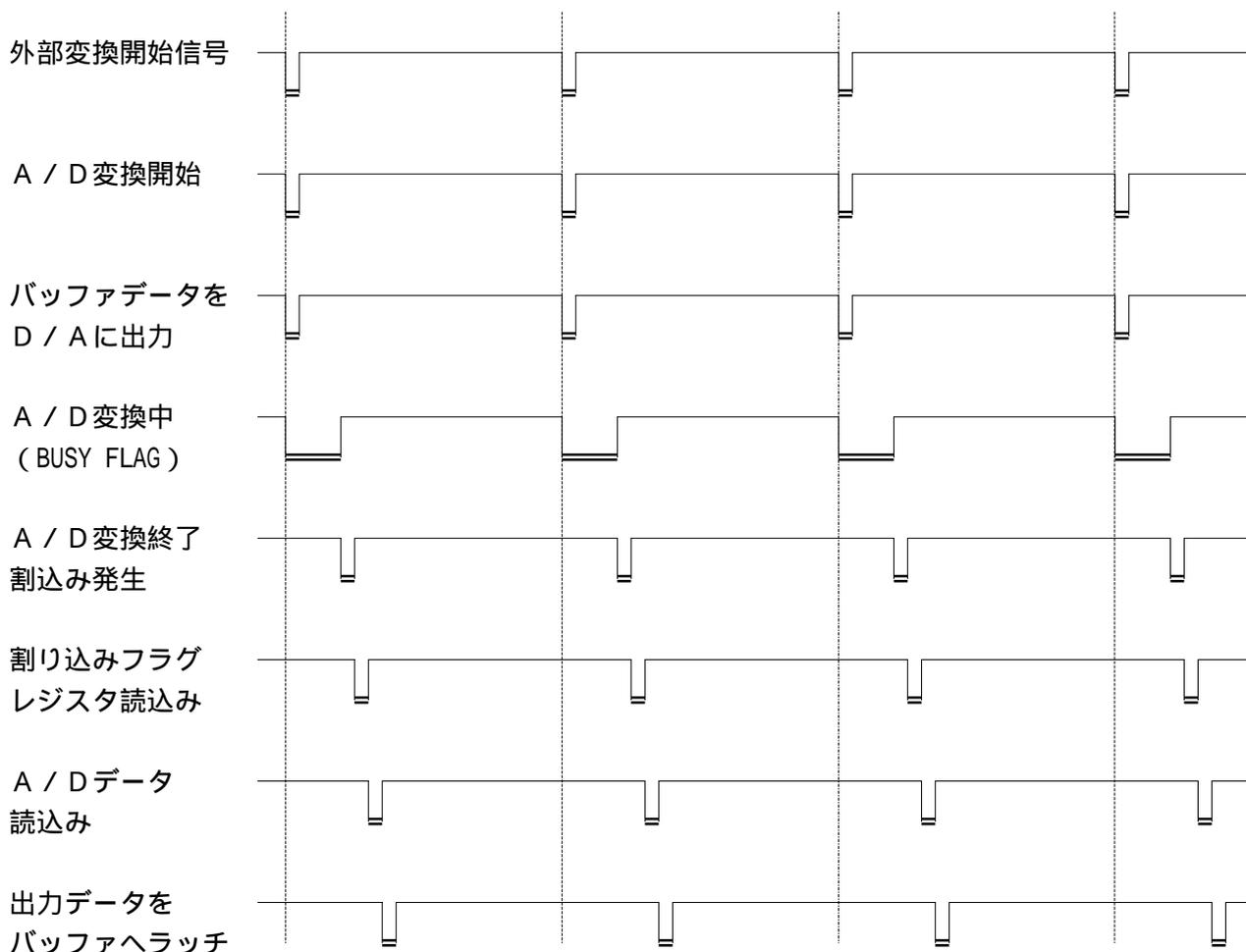


図 8 A / D変換終了割り込み (同期) を使ったA / D ・ D / A変換タイムチャート

6 ボードの制御とメモリマップ

本ボードは20h(32番地)のメモリ領域を使用しています。本ボードのベースアドレスは【DSW101】・【DSW102】・【DSW103】を使い設定します。本ボードを複数台使用した場合は各ボードのメモリマップが重ならないようにベースアドレスを設定します。

ボードのソフトウェアによる制御には

1. A/Dコンバータの変換開始指令
2. A/Dコンバータの変換データの読み出し
3. D/Aコンバータへのデータの書き込み
4. A/Dコンバータのビジーフラグ(変換中)チェック
5. コントロール・レジスタの設定

等があります。

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900280h	900280h	03000A00h	A/D 変換開始	A/D・00 からのデータ入力
900281h	900281h	03000A04h	A/D 変換開始	A/D・01 からのデータ入力
900282h	900282h	03000A08h	A/D 変換開始	A/D・02 からのデータ入力
900283h	900283h	03000A0Ch	A/D 変換開始	A/D・03 からのデータ入力
900284h	900284h	03000A10h	A/D 変換開始	A/D・04 からのデータ入力
900285h	900285h	03000A14h	A/D 変換開始	A/D・05 からのデータ入力
900286h	900286h	03000A18h	A/D 変換開始	A/D・06 からのデータ入力
900287h	900287h	03000A1Ch	A/D 変換開始	A/D・07 からのデータ入力
900280h	900280h	03000A20h	A/D 変換開始	A/D・08 からのデータ入力
900289h	900289h	03000A24h	A/D 変換開始	A/D・09 からのデータ入力
90028Ah	90028Ah	03000A28h	A/D 変換開始	A/D・10 からのデータ入力
90028Bh	90028Bh	03000A2Ch	A/D 変換開始	A/D・11 からのデータ入力
90028Ch	90028Ch	03000A30h	A/D 変換開始	A/D・12 からのデータ入力
90028Dh	90028Dh	03000A34h	A/D 変換開始	A/D・13 からのデータ入力
90028Eh	90028Eh	03000A38h	A/D 変換開始	A/D・14 からのデータ入力
90028Fh	90028Fh	03000A3Ch	A/D 変換開始	A/D・15 からのデータ入力
900290h	900290h	03000A40h	D/A・00 へのデータ出力	
900291h	900291h	03000A44h	D/A・01 へのデータ出力	
900292h	900292h	03000A48h	D/A・02 へのデータ出力	
900293h	900293h	03000A4Ch	D/A・03 へのデータ出力	
900294h	900294h	03000A50h	D/A・04 へのデータ出力	
900295h	900295h	03000A54h	D/A・05 へのデータ出力	
900296h	900296h	03000A58h	D/A・06 へのデータ出力	
900297h	900297h	03000A5Ch	D/A・07 へのデータ出力	
900298h	900298h	03000A60h	D/A・08 へのデータ出力(オプション)	
900299h	900299h	03000A64h	D/A・09 へのデータ出力(オプション)	
90029Ah	90029Ah	03000A68h	D/A・10 へのデータ出力(オプション)	

90029Bh	90029Bh	03000A6Ch	D/A・11 へのデータ出力(オプション)	
90029Ch	90029Ch	03000A70h		A / D ビジーフラグ
90029Dh	90029Dh	03000A74h	コントロール・レジスタ	
90029Eh	90029Eh	03000A78h		
90029Fh	90029Fh	03000A7Ch	割込みフラグリセット	
90FFFFh	90FFFFh	0303FFCh	全割込みフラグリセット	割込みフラグ読みだし

表 17にベースアドレスを【900280h】に設定した場合のメモリマップを示します。

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900280h	900280h	03000A00h	A/D 変換開始	A/D・00 からのデータ入力
900281h	900281h	03000A04h	A/D 変換開始	A/D・01 からのデータ入力
900282h	900282h	03000A08h	A/D 変換開始	A/D・02 からのデータ入力
900283h	900283h	03000A0Ch	A/D 変換開始	A/D・03 からのデータ入力
900284h	900284h	03000A10h	A/D 変換開始	A/D・04 からのデータ入力
900285h	900285h	03000A14h	A/D 変換開始	A/D・05 からのデータ入力
900286h	900286h	03000A18h	A/D 変換開始	A/D・06 からのデータ入力
900287h	900287h	03000A1Ch	A/D 変換開始	A/D・07 からのデータ入力
900280h	900280h	03000A20h	A/D 変換開始	A/D・08 からのデータ入力
900289h	900289h	03000A24h	A/D 変換開始	A/D・09 からのデータ入力
90028Ah	90028Ah	03000A28h	A/D 変換開始	A/D・10 からのデータ入力
90028Bh	90028Bh	03000A2Ch	A/D 変換開始	A/D・11 からのデータ入力
90028Ch	90028Ch	03000A30h	A/D 変換開始	A/D・12 からのデータ入力
90028Dh	90028Dh	03000A34h	A/D 変換開始	A/D・13 からのデータ入力
90028Eh	90028Eh	03000A38h	A/D 変換開始	A/D・14 からのデータ入力
90028Fh	90028Fh	03000A3Ch	A/D 変換開始	A/D・15 からのデータ入力
900290h	900290h	03000A40h	D/A・00 へのデータ出力	
900291h	900291h	03000A44h	D/A・01 へのデータ出力	
900292h	900292h	03000A48h	D/A・02 へのデータ出力	
900293h	900293h	03000A4Ch	D/A・03 へのデータ出力	
900294h	900294h	03000A50h	D/A・04 へのデータ出力	
900295h	900295h	03000A54h	D/A・05 へのデータ出力	
900296h	900296h	03000A58h	D/A・06 へのデータ出力	
900297h	900297h	03000A5Ch	D/A・07 へのデータ出力	
900298h	900298h	03000A60h	D/A・08 へのデータ出力(オプション)	
900299h	900299h	03000A64h	D/A・09 へのデータ出力(オプション)	
90029Ah	90029Ah	03000A68h	D/A・10 へのデータ出力(オプション)	
90029Bh	90029Bh	03000A6Ch	D/A・11 へのデータ出力(オプション)	
90029Ch	90029Ch	03000A70h		A / D ビジーフラグ
90029Dh	90029Dh	03000A74h	コントロール・レジスタ	
90029Eh	90029Eh	03000A78h		
90029Fh	90029Fh	03000A7Ch	割込みフラグリセット	
90FFFFh	90FFFFh	0303FFFCh	全割込みフラグリセット	割込みフラグ読みだし

表 17 メモリマップ

6.1 A / Dコンバータの変換開始指令

A / Dコンバータの変換開始指令は各ボード上の【ベースアドレス + 0 h】 ~ 【ベースアドレス + F h】間の1つの番地にメモリ書き込み動作を行うことにより実行されます。変換開始指令について本ボードは、アドレスの下位4ビット以上をデコードしているため【ベースアドレス + 0 h】 ~ 【ベースアドレス + F h】間のどのアドレスに書き込みを行っても16chのA / Dコンバータに同時に変換開始指令が発せられます。

A / Dコンバータの制御手順は、まず始めにA / Dコンバータに変換指令を与えます。A / Dコンバータはメモリ空間にマップされていますのでそのアドレスに書き込み動作を行うことにより変換を開始させることができます。その後300ns後にビジーフラグを入力し、変換が終了したか(ビジーフラグ = 1)を調べます。変換終了を確認した後に変換データを取り出します。変換中(ビジーフラグ = 0)のデータは正しい変換データではありません。尚、変換終了割り込みを利用することによりビジーフラグのチェックをせずにデータの取り込みを行うことも可能です。

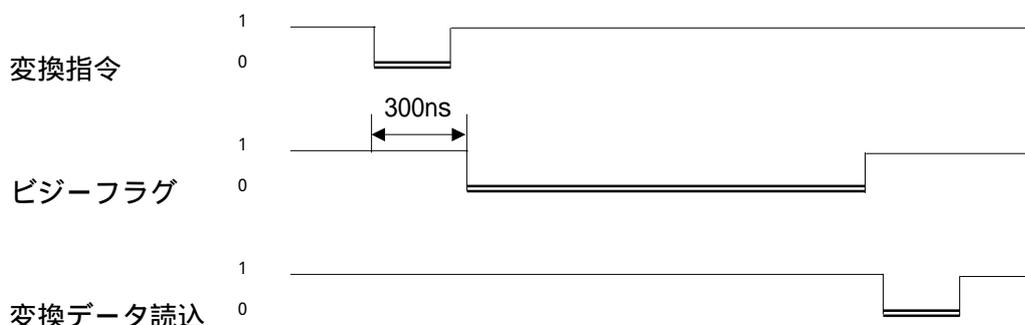


図 9 A / Dコンバータの制御タイミングチャート

6.2 A / Dコンバータの変換データの読み出し

A / Dコンバータの変換データの読み出しは、各ボードのベースアドレスを含めた16番地の間でベースアドレスから順にA / Dコンバータのアドレスが割り当てられているので、各チャンネルに対応したアドレスからメモリデータの読み出し動作を行うことにより実現されます。変換データの読み出しアドレスの詳細は

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900280h	900280h	03000A00h	A/D 変換開始	A/D・00 からのデータ入力
900281h	900281h	03000A04h	A/D 変換開始	A/D・01 からのデータ入力
900282h	900282h	03000A08h	A/D 変換開始	A/D・02 からのデータ入力
900283h	900283h	03000A0Ch	A/D 変換開始	A/D・03 からのデータ入力
900284h	900284h	03000A10h	A/D 変換開始	A/D・04 からのデータ入力
900285h	900285h	03000A14h	A/D 変換開始	A/D・05 からのデータ入力
900286h	900286h	03000A18h	A/D 変換開始	A/D・06 からのデータ入力
900287h	900287h	03000A1Ch	A/D 変換開始	A/D・07 からのデータ入力
900280h	900280h	03000A20h	A/D 変換開始	A/D・08 からのデータ入力
900289h	900289h	03000A24h	A/D 変換開始	A/D・09 からのデータ入力
90028Ah	90028Ah	03000A28h	A/D 変換開始	A/D・10 からのデータ入力

90028Bh	90028Bh	03000A2Ch	A/D 変換開始	A/D・11 からのデータ入力
90028Ch	90028Ch	03000A30h	A/D 変換開始	A/D・12 からのデータ入力
90028Dh	90028Dh	03000A34h	A/D 変換開始	A/D・13 からのデータ入力
90028Eh	90028Eh	03000A38h	A/D 変換開始	A/D・14 からのデータ入力
90028Fh	90028Fh	03000A3Ch	A/D 変換開始	A/D・15 からのデータ入力
900290h	900290h	03000A40h	D/A・00 へのデータ出力	
900291h	900291h	03000A44h	D/A・01 へのデータ出力	
900292h	900292h	03000A48h	D/A・02 へのデータ出力	
900293h	900293h	03000A4Ch	D/A・03 へのデータ出力	
900294h	900294h	03000A50h	D/A・04 へのデータ出力	
900295h	900295h	03000A54h	D/A・05 へのデータ出力	
900296h	900296h	03000A58h	D/A・06 へのデータ出力	
900297h	900297h	03000A5Ch	D/A・07 へのデータ出力	
900298h	900298h	03000A60h	D/A・08 へのデータ出力(オプション)	
900299h	900299h	03000A64h	D/A・09 へのデータ出力(オプション)	
90029Ah	90029Ah	03000A68h	D/A・10 へのデータ出力(オプション)	
90029Bh	90029Bh	03000A6Ch	D/A・11 へのデータ出力(オプション)	
90029Ch	90029Ch	03000A70h		A / D ビジーフラグ
90029Dh	90029Dh	03000A74h	コントロール・レジスタ	
90029Eh	90029Eh	03000A78h		
90029Fh	90029Fh	03000A7Ch	割込みフラグリセット	
90FFFFh	90FFFFh	0303FFFCh	全割込みフラグリセット	割込みフラグ読みだし

表 17を参照して下さい。

6.3 D / A コンバータへのデータ書き込み

D / A コンバータのアナログ電圧出力は、D / A コンバータへのデータの書き込みにより実現されます。また D / A コンバータの出力モードには2つのモードがありコントロール・レジスタ【bit 0】の設定により動作が異なります。このビットが【0】の時データは直接D / A コンバータに直接書き込まれアナログ出力はすぐに変化します。一方【1】の場合はデータはバッファ回路にラッチ（記憶）されます。そして【TCLK 0】あるいは【EXTCLK】の何れかに同期してD / A コンバータに書き込まれます。（表6）この時にA / D コンバータも同期して変換を開始します。

そしてコントロールレジスタ【bit 0】【1】、【bit 2】【1】の場合はデータの書き込みにより変換します。この時A / D コンバータは外部CLKに同期しています。

各ボードの【ベースアドレス + 1 0 h】～【ベースアドレス + 1 B h】の間に D / A コンバータのアドレスが割り当てられているので、各チャンネルに対応したメモリアドレスにアナログ電圧に相当したデータを書き込みます。変換データの書き込みアドレスの詳細は

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900280h	900280h	03000A00h	A/D 変換開始	A/D・00 からのデータ入力
900281h	900281h	03000A04h	A/D 変換開始	A/D・01 からのデータ入力
900282h	900282h	03000A08h	A/D 変換開始	A/D・02 からのデータ入力
900283h	900283h	03000A0Ch	A/D 変換開始	A/D・03 からのデータ入力
900284h	900284h	03000A10h	A/D 変換開始	A/D・04 からのデータ入力
900285h	900285h	03000A14h	A/D 変換開始	A/D・05 からのデータ入力
900286h	900286h	03000A18h	A/D 変換開始	A/D・06 からのデータ入力
900287h	900287h	03000A1Ch	A/D 変換開始	A/D・07 からのデータ入力
900280h	900280h	03000A20h	A/D 変換開始	A/D・08 からのデータ入力
900289h	900289h	03000A24h	A/D 変換開始	A/D・09 からのデータ入力
90028Ah	90028Ah	03000A28h	A/D 変換開始	A/D・10 からのデータ入力
90028Bh	90028Bh	03000A2Ch	A/D 変換開始	A/D・11 からのデータ入力
90028Ch	90028Ch	03000A30h	A/D 変換開始	A/D・12 からのデータ入力
90028Dh	90028Dh	03000A34h	A/D 変換開始	A/D・13 からのデータ入力
90028Eh	90028Eh	03000A38h	A/D 変換開始	A/D・14 からのデータ入力
90028Fh	90028Fh	03000A3Ch	A/D 変換開始	A/D・15 からのデータ入力
900290h	900290h	03000A40h	D/A・00 へのデータ出力	
900291h	900291h	03000A44h	D/A・01 へのデータ出力	
900292h	900292h	03000A48h	D/A・02 へのデータ出力	
900293h	900293h	03000A4Ch	D/A・03 へのデータ出力	
900294h	900294h	03000A50h	D/A・04 へのデータ出力	
900295h	900295h	03000A54h	D/A・05 へのデータ出力	
900296h	900296h	03000A58h	D/A・06 へのデータ出力	
900297h	900297h	03000A5Ch	D/A・07 へのデータ出力	
900298h	900298h	03000A60h	D/A・08 へのデータ出力(予約)	
900299h	900299h	03000A64h	D/A・09 へのデータ出力(予約)	
90029Ah	90029Ah	03000A68h	D/A・10 へのデータ出力(予約)	
90029Bh	90029Bh	03000A6Ch	D/A・11 へのデータ出力(予約)	
90029Ch	90029Ch	03000A70h		A / D ビジーフラグ
90029Dh	90029Dh	03000A74h	コントロール・レジスタ	
90029Eh	90029Eh	03000A78h		
90029Fh	90029Fh	03000A7Ch	割込みフラグリセット	
90FFFFh	90FFFFh	0303FFFCh	全割込みフラグリセット	割込みフラグ読みだし

表 17を参照して下さい。

6.4 A / D コンバータのビジーフラグ (変換中) チェック

ビジーフラグは各ボードの【ベースアドレス + 1 C h】にあり、その番地からデータを読み出すことにより A / D コンバータが現在変換中かどうかを調べることができます。変換中は A / D コンバータが

ら読み出したデータは正しいものではありません。ビジーフラグがアクティブでなくなった後に正しい変換データを読み出します。尚、変換終了割り込みを利用する事によりビジーフラグのチェックをせずにデータの取り込みを行う事も可能です。(参照5.1)

ビジーフラグ	意味
0	変換中
1	変換終了

表 18 ビジーフラグの定義

また各ボードの【ベースアドレス + 1 Ch】から読み出したビジーフラグデータのビットマップは表 19の様に定義されています。

bit	定義
0	A/D・00 BUSY
1	A/D・01 BUSY
2	A/D・02 BUSY
3	A/D・03 BUSY
4	A/D・04 BUSY
.	.
.	.
15	A/D・15 BUSY
.	1
.	1
31	1

表 19 ビジーフラグ読み出しデータのビットマップ

6.5 コントロール・レジスタの設定と動作

6.5.1 DSPデータの書き込みによるA/D・D/Aコンバータ変換

コントロール・レジスタ【bit 0】～【bit 3】を【0】にすることにより、DSPからの書きこみによってA/Dコンバータは全チャンネル、D/Aコンバータは各チャンネルごと変換をおこないます。表 20参照

コントロールレジスタ	0	1
bit 3	割込み不可	割込み可
bit 2	同期	非同期
bit 1	TCLK0による変換開始	EXTCLKによる変換開始
bit 0	DSPによる変換開始	外部クロックによる変換開始

表 20 割コントロールレジスタ

6.5.2 A/D・D/Aコンバータの同期変換

コントロール・レジスタ【bit 0】を【1】と【bit 2】を【0】にすることにより【TCLK 0】あるいは【EXTCLK】の何れか(【bit 1】にて設定)に同期してA/D・D/Aコンバータを同時変換することができます。表 20参照

6.5.3 A/Dコンバータのみ同期変換(D/Aコンバータはデータの書き込み変換)

コントロール・レジスタ【bit 0】を【1】と【bit 2】を【1】にすることにより【TCLK 0】あるいは【EXTCLK】の何れか(【bit 1】にて設定)に同期してA/Dコンバータのみを同時変換することができます。D/Aコンバータは各チャンネルごとのデータの書き込みにより変換をおこないます。表 20参照

6.5.4 割り込み信号のマスク制御

『A/D変換終了割り込み』の発生はコントロール・レジスタの【bit 3】を【1】にすると割り込み可となり【0】にするとマスクすることができます。割り込み信号源はサンプリングコントロール【bit 1】により選択することができます。表 20参照

7 A / D ・ D / A 変換データの関係

7.1 入力電圧とA / D変換データの関係

入力電圧とA / Dコンバータの変換データとの関係を表 21に示します。A / D変換データの未使用ビット(16bit~31bit)は15bitと同じになります。

12bit A/Dコンバータですが、データの扱いは16bitで扱われます。下位4bitは常に【0】です。

入力電圧範囲 ±10V	A / D変換データ
9.99512V以上	7FF0h
...	...
4.88mV	0010h
0V	0000h
-4.88mV	FFF0h
...	...
-10V以下	8000h

表 21 理想入力電圧とA / D変換データ

7.2 出力データとD/Aコンバータの変換電圧との関係

出力データとD/Aコンバータの変換出力電圧との関係を表 22に示します。

出力電圧範囲	±10V
出力データ	変換出力電圧
7FFFh	9.999695V
...	...
0001h	0.000305V
0000h	0V
FFFFh	-0.000305V
...	...
8000h	-10V

表 22 出力データとD/Aコンバータの変換出力電圧

8 A / Dコンバータの校正

本ボードには経時変化による、オフセット電圧やゲイン電圧の調整が必要です。入力段アンプを含めたA / Dコンバータの校正は次の手順に従って行って下さい。

オフセット調整

ゲイン調整

オフセット調整とゲイン調整を何度か繰り返し調整を行って下さい。

8.1 オフセット調整

オフセット調整は各A / Dコンバータの入力電圧範囲に応じた電圧を与えます。

入力電圧範囲	設定電圧
- 1 0 V ~ + 1 0 V	- 1 0 V + 1 / 2 L S B = - 9 . 9 9 7 6

表 23 A / Dコンバータオフセット調整時の入力電圧

そしてA / Dコンバータの変換出力が【8 0 0 0 h ~ 8 0 1 0 h】

```
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
MSB                               LSB
MSB                               LSB
1 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0
```

間でフリッカーする様にオフセットVRで調整します。(表 24)

	± 10 V	
A / D	オフセットVR	ゲインVR
0	VR 1 0 1	VR 1 1 7
1	VR 1 0 2	VR 1 1 8
2	VR 1 0 3	VR 1 1 9
3	VR 1 0 4	VR 1 2 0
4	VR 1 0 5	VR 1 2 1
5	VR 1 0 6	VR 1 2 2
6	VR 1 0 7	VR 1 2 3
7	VR 1 0 8	VR 1 2 4
8	VR 1 0 9	VR 1 2 5
9	VR 1 1 0	VR 1 2 6
10	VR 1 1 1	VR 1 2 7
11	VR 1 1 2	VR 1 2 8
12	VR 1 1 3	VR 1 2 9
13	VR 1 1 4	VR 1 3 0
14	VR 1 1 5	VR 1 3 1
15	VR 1 1 6	VR 1 3 2

表 24 A / Dコンバータ校正用ボリューム一覧表

8.2 ゲイン調整

A / Dコンバータには各入力電圧範囲に応じた、ゲイン調整が必要です。

ゲイン調整は各A / Dコンバータの入力に入力電圧範囲に応じた電圧を与えます。

入力電圧範囲	設定電圧
- 10 V ~ + 10 V	10 V - 3 / 2 LSB = 9 . 9927 V

表 25 A / Dコンバータゲイン調整時の入力電圧

そしてA / Dコンバータの変換出力が【7FE0h ~ 7FF0h】

```

0 1 1 1   1 1 1 1   1 1 1 0   0 0 0 0
MSB                               LSB
MSB                               LSB
0 1 1 1   1 1 1 1   1 1 1 1   0 0 0 0

```

間でフリッカーする様にスケールVRで調整します。(表 24)

8.1オフセット調整と8.2ゲイン調整を何度か繰り返し調整を行って下さい。

9 D/Aコンバータの校正

本ボードのD/Aコンバータの出力電圧校正手順は次の通りです。

9.1 出力電圧の校正

出力電圧の校正用ボリュームの一覧表を下記に示します。

D/A・No	オフセットVR	スケールVR
00	VR141	VR133
01	VR142	VR134
02	VR143	VR135
03	VR144	VR136
04	VR145	VR137
05	VR146	VR138
06	VR147	VR139
07	VR148	VR140
08	VR153	VR149
09	VR154	VR150
10	VR155	VR151
11	VR156	VR152

表 26 出力電圧の校正用ボリューム一覧表

9.1.1 出力電圧のオフセット調整

1. D/Aコンバータに【8000h】を出力します。

1000 0000 0000 0000

2. 出力電圧が【-10V】になる様オフセットVRで調整します。(表 26)

9.1.2 出力電圧のスケール調整

1. D/Aコンバータに【7FFFh】を出力します。

0111 1111 1111 1111

2. D/Aコンバータの出力が、出力電圧範囲に応じた出力比較電圧と同じになる様スケールVRで調節します。(表 27)

出力電圧範囲	出力比較電圧
-10~10V	10V - 1LSB = 9.999695V

表 27 D/Aコンバータ出力のスケール調整時の出力電圧

10 アナログ入出力コネクタのピン配置

C N 1 2			
NO	信号名	NO	信号名
1201	A/D CH00+IN	1202	AGND
1203	A/D CH00-IN	1204	AGND
1205	A/D CH01+IN	1206	AGND
1207	A/D CH01-IN	1208	AGND
1209	A/D CH02+IN	1210	AGND
1211	A/D CH02-IN	1212	AGND
1213	A/D CH03+IN	1214	AGND
1215	A/D CH03-IN	1216	AGND
1217	A/D CH04+IN	1218	AGND
1219	A/D CH04-IN	1220	AGND
1221	A/D CH05+IN	1222	AGND
1223	A/D CH05-IN	1224	AGND
1225	A/D CH06+IN	1226	AGND
1227	A/D CH06-IN	1228	AGND
1229	A/D CH07+IN	1230	AGND
1231	A/D CH07-IN	1232	AGND
1233	D/A CH00 OUT	1234	AGND
1235	D/A CH01 OUT	1236	AGND
1237	D/A CH02 OUT	1238	AGND
1239	D/A CH03 OUT	1240	AGND

表 28 C N 1 2

C N 1 3			
NO	信号名	NO	信号名
1301	A/D CH08+IN	1302	AGND
1303	A/D CH08-IN	1304	AGND
1305	A/D CH09+IN	1306	AGND
1307	A/D CH09-IN	1308	AGND
1309	A/D CH10+IN	1310	AGND
1311	A/D CH10-IN	1312	AGND
1313	A/D CH11+IN	1314	AGND
1315	A/D CH11-IN	1316	AGND
1317	A/D CH12+IN	1318	AGND
1319	A/D CH12-IN	1320	AGND
1321	A/D CH13+IN	1322	AGND
1323	A/D CH13-IN	1324	AGND
1325	A/D CH14+IN	1326	AGND
1327	A/D CH14-IN	1328	AGND
1329	A/D CH15+IN	1330	AGND
1331	A/D CH15-IN	1332	AGND
1333	D/A CH04 OUT	1334	AGND
1335	D/A CH05 OUT	1336	AGND
1337	D/A CH06 OUT	1338	AGND
1339	D/A CH07 OUT	1340	AGND
1341	D/A CH08 OUT	1342	AGND
1343	D/A CH09 OUT	1344	AGND
1345	D/A CH10 OUT	1346	AGND
1347	D/A CH11 OUT	1348	AGND
1349	*EXTCLK	1350	DGND

表 29 C N 1 3

C N 1 4			
NO	信号名	NO	信号名
1401	+5V(対GND電源)	1402	+5V(対GND電源)
1403	+5V ▲	1404	+5V ▲
1405	+15V	1406	+15V
1407	+15V	1408	+15V
1409	AGND	1410	AGND
1411	AGND	1412	AGND
1413	-15V	1414	-15V
1415	-15V	1416	-15V
1417	NC	1418	NC
1419	NC	1420	NC

表 30 C N 1 4



図 10 CN12、13、14のコンネクターを挿入方向からみた図

11 添付品

品名	型式	数量	メーカー
ソケットコネクタ	SP-D4C40	1	JAE
ソケットコネクタ	SP-D4C50	1	JAE
ソケットコネクタ	SP-D4C20	1	JAE
コンタクトピン	030-51304-001	120	JAE

表 31 添付品一覧

- ・ 本ボード及び本マニュアルの内容は製品の改良等のため予告無しに変更されることがありますので、ご了承下さい。

中部電機株式会社

〒440-0004 愛知県豊橋市忠興3丁目2-8

TEL <0532>61-9566

FAX <0532>63-1081

URL : <http://www.chubu-el.co.jp>

E-mail : csg@chubu-el.co.jp

ADSP324-141 ハードウェアマニュアル

2005.8 第3版発行