

ADSP324 - 06

ハードウェア

ユーザーズ・マニュアル

中部電機株式会社

目次

1. 概説	1
2. 基本仕様	1
3. 配置図	2
3.1 コネクタ、ディップスイッチの配置	2
3.2 出荷時の設定	3
3.3 ボードの設置方法	3
4. 初期設定	4
4.1 ボードアドレスの設定	5
4.2 割り込みフラグ	6
4.3 割り込みコントロール・レジスタの設定	6
5. ボードの制御とメモリマップ	7
5.1 メモリマップ	7
5.2 32bit出力	7
5.3 32bit入力	8
5.4 割り込み信号のマスク制御	8
5.5 割り込みフラグレジスタ	9
5.6 DSPチップ内部の割り込み生成	11
6. コネクタのピン配置	12
7. 添付品	12

1. 概説

ADSP324-06は、32bitDSPボードADSP324シリーズ、ADSP674シリーズ専用のパラレル(TTL)入出力ボードでDSPボードにより直接制御することが可能です。また出力回路は接続される外部回路に対しデータが出力されたことを示すパルス(ストローブアウト)を出力し、また入力回路は外部回路からデータが与えられたことを示すパルス(ストローブイン)を受け付けることができこのパルスによりDSPボードに割り込みを発生することが出来ます。

PIOボード	DSPボード
ADSP324-06	ADSP324-00A
	ADSP674-00

表1

2. 基本仕様

- | | | |
|------------------------|--|---|
| 1. パラレル出力 | 32bit×1ポート | |
| 2. パラレル入力 | 32bit×1ポート | |
| 3. 割り込み信号 | 割り込み信号名
DSPへの割り込み | スローブイン
ADSP324-00A : INT3
ADSP674-00 : INT7 |
| | 割り込みベクター設定可
割り込み信号受付の可否 | 8種
ソフトウェアにより選択可 |
| 4. 入出力信号レベル | | |
| パラレル出力信号 | TTL (74ALS374)
3K / 6.2K で終端 | |
| パラレル入力信号 | TTL (74ALS244)
3K / 6.2K で終端 | |
| STRB_OUT
(ストローブアウト) | TTL (74ALS244)
パルス幅 : 約100nsec、負論理出力
3K / 6.2K で終端 | |
| STRB_IN | TTL (74ALS244)
負論理入力、立ち上がりエッジ
3K / 6.2K で終端 | |
| 5. 増設ボード枚数 | 最大4枚 | |
| 6. 電源 | DC + 5V、MAX 2.5A | |

3. 配置図

3.1 コネクタ、ディップスイッチの配置



図1 ADSP324-06配置図

3.2 出荷時の設定

DSW101	1 2 3 4 5 6 7 8		ボードアドレス : <u>9 0 0 0 8 0</u> h
ON	<input type="checkbox"/>		
OFF	<input type="checkbox"/>		
DSW102	1 2 3 4 5 6 7 8		ボードアドレス : 9 0 <u>0 0</u> 8 0 h
ON	<input type="checkbox"/>		
OFF	<input type="checkbox"/>		
DSW103	1 2 3 4 5 6 7 8		ボードアドレス : 9 0 0 0 <u>8 0</u> h
ON	<input type="checkbox"/>		
OFF	<input type="checkbox"/>		
DSW104	1 2 3 4 5 6 7 8		割り込みフラグ : 設定無し
ON	<input type="checkbox"/>		
OFF	<input type="checkbox"/>		

図2 ディップスイッチの出荷時設定

3.3 ボードの設置方法

1. 本ボードを拡張スロットに装着します。
2. DSPボードのコネクタ(CN**)と、本ボードのCN11を拡張バスケーブルで接続します。

ADSP324-06	DSPボード
CN11	ADSP324-00A : CN12
	ADSP674-00 : CN11

拡張バスケーブル	ADSP324-15	オプション
----------	------------	-------

3. 出力と入力下記のコネクタに接続します。

機種	出力コネクタ	入力コネクタ
ADSP324-06	CN12	CN13

4. 初期設定

本ボードで初期設定が必要なものはディップスイッチ【DSW101】～【DSW104】とメモリマップされたレジスタがあります。

ディップスイッチの設定は

ボードアドレス
割り込みフラグ

またレジスタは

割り込みコントロール

となっており、機能内容の選択のために初期設定を行います。

【注意】

ディップスイッチは論理下記のように定義されています。

	O N	OFF
論 理	0	1

表2 ディップスイッチの論理

4.1 ボードアドレスの設定

ADSP324-06はアドレスラインのA00～A01をデコードし、4ワードの領域を使用します。そして【DSW101】・【DSW102】・【DSW103】を使ってA02～A23のアドレスを設定し900000h～90FFFFFFhの64Kワードの領域内に割り付けます。表3に【DSW101】～【DSW103】のアドレス信号割り付けと図3に設定例を示します。また、拡張ボードは1台のDSPボードに対し4台まで接続することが出来ますのでアドレスが重ならないよう設定します。

DSW101		DSW102		DSW103	
DSW101	信号名	DSW102	信号名	DSW103	信号名
8	A23	8	A15	8	A07
7	A22	7	A14	7	A06
6	A21	6	A13	6	A05
5	A20	5	A12	5	A04
4	A19	4	A11	4	A03
3	A18	3	A10	3	A02
2	A17	2	A09	2	未使用
1	A16	1	A08	1	未使用

表3 DSW101・DSW102・DSW103

ボードアドレス：900080h

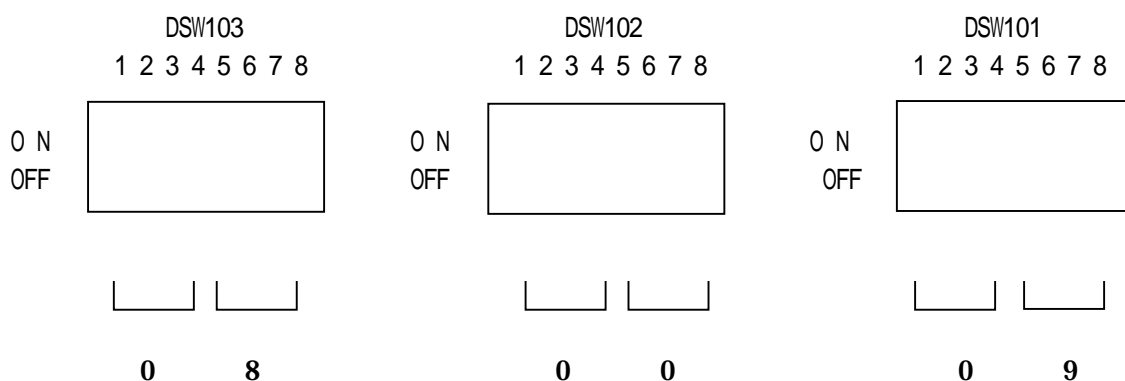


図3 ボードアドレスの設定

注意：ADSP324-00Aでは上記アドレスの通りに割り付けられますが、ADSP674-00では03000000～033FFFFFF(03000000～0303FFFFFFh)に割り付けられます。(ADSP674-00ハードウェアマニュアル「拡張バス」参照)

(例)本ボードADSP324-06のアドレスを900080hに設定した場合
ADSP674-00のアドレスは03000200hになります。

4.2 割り込みフラグ

割り込みフラグはどの周辺ボードが割り込みを発生しているかを識別するためのものです。各ボードに毎に任意のフラグを【DSW104】を使って設定することができます。DSPボードはこの割り込みフラグを90FFFFhのD00～D07より読み出すことができます。出荷時の設定を図4に示します。

DSW104		
DSW104	信号名	90FFFFh
8	割り込みフラグ8	D07
7	割り込みフラグ7	D06
6	割り込みフラグ6	D05
5	割り込みフラグ5	D04
4	割り込みフラグ4	D03
3	割り込みフラグ3	D02
2	割り込みフラグ2	D01
1	割り込みフラグ1	D00

表4 DSW104

割り込みフラグ：設定無し

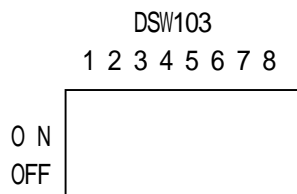


図4 割り込みフラグの設定

4.3 割り込みコントロール・レジスタの設定

割り込みコントロール・レジスタは*STRB_INによる割り込み発生の許可・不許可の選択を行います。電源投入時、このレジスタはイニシャルリセットされbit0、bit1はともに【0】になっています。

割り込みコントロール・レジスタ	0	1
bit1	割り込み不可	割り込み可
bit0	*STRB_INのエッジ	*STRB_INのエッジ

表4 割り込みコントロール・レジスタ

【注意】bit0は必ず【0】に設定し、*STRB_INの立ち上がりエッジで割り込みが発生するようにして下さい。

5. ボードの制御とメモリマップ

本ボードはDSPボードより外部回路に対し32bitデータの入出力を行うためのボードであり入出力ともそれぞれ1ポートずつあります。これらのポートはDSPに対しメモリマップされています。そしてデータを出力する際に外部回路に対し知らせる*STRB_OUT信号や、外部回路からデータを与えられたことを割り込み(INT3)を生成してDSPに知らせる*STRB_INがあり外部回路との同期をとることが可能です。これらの入出力及び同期制御は4番地のメモリ領域を使用しています。

ボードのベースアドレスは【DSW101】・【DSW102】・【DSW103】を使い設定します。ボード複数台を使用した場合は、各ボードのメモリマップが重ならないようにベースアドレスを設定します。

ボードのソフトウェアによる制御には

1. 32bitデータの外部への出力
2. 32bitデータの外部からの読み出し
3. 割り込み信号のマスク制御
4. 割り込みフラグの読み出しとリセット

等があります。

5.1 メモリマップ

本ボードのベースアドレスを900080hに設定した場合のメモリマップを表5に示します。割り込みコントロール・レジスタは操作内容により初期設定が必要になります。

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900080h	900080h	03000200h	32bitデータ出力	
900081h	900081h	03000204h		32bitデータ入力
900082h	900082h	03000208h	割り込みコントロール	
900083h	900083h	0300020Ch	割り込みフラグ リセット	
90FFFFh	90FFFFh	0303FFFCh	全割り込みフラグ リセット	全割り込みフラグ 読み出し

表5 メモリマップ

5.2 32bit出力

32bitデータの出力ポートは各ボードの【ベースアドレス+0h】にマップされています。DSPはこのアドレスにデータを書き込むことにより外部回路にデータを出力する事ができ、またこの時*STRB_OUT信号(パルス)も出力されます。このデータは次のデータが出力されるまでラッチされています。

5.3 32bit入力

32bitデータの入力ポートは【ベースアドレス+1h】にマップされています。外部からのデータの入力はこのアドレスからのデータ読み込みにより実現されます。また外部よりデータがセットされたことをDSPに知らせるために*STRB_IN信号(パルス)により割り込み(INT3)を発生させることも可能です。

5.4 割り込み信号のマスク制御

外部回路からDSPへの32bit入力を行う場合、外部回路から入力ポートにデータがセットされたことを*STRB_IN信号(パルス)により割り込み(INT3)を発生させてDSPに知らせることができます。これは割り込みコントロール・レジスタを使い実現でき、アドレスは【ベースアドレス+2h】にマップされています。

割り込みコントロール・レジスタは*STRB_INによる割り込み発生の許可・不許可の選択を行います。電源投入時、このレジスタはイニシャルリセットされbit1は【0】になっています。

割り込みコントロール・レジスタ	0	1
bit1	割り込み不可	割り込み可
bit0	*STRB_INのエッジ	*STRB_INのエッジ

表6 割り込みコントロール・レジスタ

【注意】bit0は必ず【0】に設定し*STRB_INの立ち上がりエッジで割り込みが発生するようにして下さい。

5.5 割り込みフラグレジスタ

割り込みフラグレジスタはどのボードが割り込みを発生しているかを識別するためのレジスタでこのレジスタは【90FFFFh】にマップされています。割り込みが発生しているビットには【0】がセットされ、割り込みの無いビットには【1】がセットされます。そして本ボードが割り込みを発生したときに、この割り込みフラグレジスタのどのビットに【0】を立てるかを【DSW104】を使って選択します。割り込みの識別できる数は8つです。割り込みフラグレジスタは【bit0】～【bit7】までの8bitで構成され、【bit8】～【bit31】までは常に【1】となっています。

そして割り込みを示している【bit】のみリセットする場合は【ベースアドレス+3h】番地
に書き込み動作を行う事により（データは何でも良い）そのフラグビットをリセットすることができます。また【90FFFFh】に書き込み動作を行う事により割り込みフラグレジスタ全体をリセットする事ができます。

割り込みフラグレジスタ	READ	WRITE
ベースアドレス+3h	—————	指定bitリセット
90FFFFh	レジスタ読み込み	全bitリセット

表7 割り込みフラグレジスタのメモリマップ

割り込みフラグレジスタ			
bit	割り込み有り	割り込み無し	DSW104
31	_____	1	_____
·	_____	1	_____
·	_____	1	_____
8	_____	1	_____
7	0	1	8
6	0	1	7
5	0	1	6
4	0	1	5
3	0	1	4
2	0	1	3
1	0	1	2
0	0	1	1

表8 割り込みフラグレジスタの構成

DSW104	ON	OFF	接続先
8	接続	否接続	D07
7	接続	否接続	D06
6	接続	否接続	D05
5	接続	否接続	D04
4	接続	否接続	D03
3	接続	否接続	D02
2	接続	否接続	D01
1	接続	否接続	D00

表9 DSW104の割り込みフラグレジスタへの割付

5.6 DSPチップ内部の割り込み生成

ADSP324-00AのDSPチップがINT3の割り込みを受け付けるためには、DSPチップのIEレジスタ（インタラプト・イネーブル・レジスタ：表10）INT3に対応したbit3を1にします。またIFレジスタ（表11）のbit3はINT3割り込みがあったかどうかを示しておりその値が【1】になっていると割り込みがあったことを示しています。そして割り込みフラグを確認した後、次の割り込みのためにそのフラグをリセットしておきます。割り込みが発生したときに処理すべきプログラムのアドレスを割り込みベクタアドレス（表12）に格納しておきます。

【注意】DSPはステータスレジスタ（ST）のGIE（bit13）の値が【1】に設定されていないと割り込みには応答できません。

bit	IEレジスタ	
3	EINT3	INT3割り込みイネーブル

表10 IEレジスタ

bit	IFレジスタ	
3	EINT3	INT3割り込みフラグ

表11 IFレジスタ

割り込みベクタアドレス	
INT3	04h

表12 割り込みベクタアドレス

6. コネクタのピン配置

NO	信号名	NO	信号名
1201	OD00	1202	OD01
1203	OD02	1204	OD03
1205	OD04	1206	OD05
1207	OD06	1208	OD07
1209	GND	1210	GND
1211	OD08	1212	OD09
1213	OD10	1214	OD11
1215	OD12	1216	OD13
1217	OD14	1218	OD15
1219	GND	1220	GND
1221	OD16	1222	OD17
1223	OD18	1224	OD19
1225	OD20	1226	OD21
1227	OD22	1228	OD23
1229	GND	1230	GND
1231	OD24	1232	OD25
1233	OD26	1234	OD27
1235	OD28	1236	OD29
1237	OD30	1238	OD31
1239	*STRB_OUT	1240	GND

表13 CN12 (出力)

NO	信号名	NO	信号名
1301	ID00	1302	ID01
1303	ID02	1304	ID03
1305	ID04	1306	ID05
1307	ID06	1308	ID07
1309	GND	1310	GND
1311	ID08	1312	ID09
1313	ID10	1314	ID11
1315	ID12	1316	ID13
1317	ID14	1318	ID15
1319	GND	1320	GND
1321	ID16	1322	ID17
1323	ID18	1324	ID19
1325	ID20	1326	ID21
1327	ID22	1328	ID23
1329	GND	1330	GND
1331	ID24	1332	ID25
1333	ID26	1334	ID27
1335	ID28	1336	ID29
1337	ID30	1338	ID31
1339	*STRB_IN	1340	GND

表14 CN13 (入力)

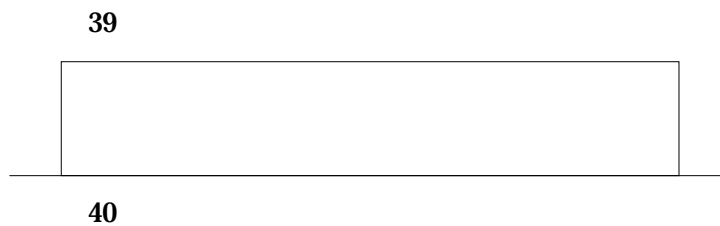


図5 CN12, CN13のコネクタを挿入方向から見た図

7. 添付品

品名	型式	数量	メーカー
ケーブル付きコネクタ	8825E-040-175-100S-GO	2	ケル

表15 添付品一覧

- ・本マニュアルの内容は製品の改良のため予告無しに変更される事がありますので、ご了承下さい。

中部電機株式会社

〒440-0004 愛知県豊橋市忠興3丁目2-8

TEL <0532>61-9566

FAX <0532>63-1081

URL : <http://www.chubu-el.co.jp>

E-mail : csg@chubu-el.co.jp

ADSP324-06 ハードウェアマニュアル

2003.5 第6版発行