

ADSP324 - 03

ハードウェア

ユーザーズ・マニュアル

中部電機株式会社



# 目次

1. 概説	3
2. 基本仕様	4
2.1 精度及び機能	4
2.2 コネクタ、ショートピン、ボリュームの配置	5
2.3 出荷時の設定	6
2.4 ボードの設置方法	7
2.5 入出力信号の接続方法	8
3. 初期設定	10
3.1 ボードアドレスの設定	11
3.2 サンプリング・クロックの選択と、割り込み源の選択	12
3.3 割り込みフラグ	12
3.4 メモリマップ	13
3.5 割り込みコントロール・レジスタの設定	13
3.6 トリガレベルレジスタの設定	14
3.7 ゲインレジスタの設定	14
4. サンプリングモード	15
4.1 サンプリング・クロックの選択	15
4.2 オンチップタイマの設定	17
4.3 オンチップタイマによる割り込みの生成	18
5. 割り込み	19
5.1 割り込みフラグレジスタ	19
5.2 A/D変換終了割り込み(A/D・D/A同時変換(同期))の使用例	21
5.3 トリガ割り込みの使用例	22
6. ボードの制御とメモリマップ	23
6.1 A/Dコンバータの変換開始指令	24
6.2 A/Dコンバータの変換データの読み出し	24
6.3 D/Aコンバータへのデータ書き込み	24
6.4 A/Dコンバータのビジーフラグ(変換中)チェック	25
6.5 コントロール・レジスタの設定	26
6.5.1 A/D・D/Aコンバータの同期変換	26
6.5.2 割り込み信号のマスク制御	26
6.5.3 トリガスロープの選択	26
6.6 トリガレベルの設定	27

7. A / D・D / A変換データの関係 .....	28
7.1 入力電圧とA / D変換データの関係 .....	28
7.2 出力データとD / Aコンバータの変換電圧との関係.....	29
8. A / Dコンバータの校正.....	30
8.1 入力電圧範囲の選択.....	30
8.2 オフセット調整 .....	31
8.3 スケール調整.....	33
9. D / Aコンバータの校正.....	34
9.1 出力電圧範囲の選択.....	34
9.2 ユニポーラ出力電圧の校正.....	34
9.2.1 ユニポーラ出力電圧のオフセット調整 .....	35
9.2.2 ユニポーラ出力電圧のスケール調整 .....	35
9.3 バイポーラ出力電圧の校正.....	35
9.3.1 バイポーラ出力電圧のオフセット調整 .....	36
9.3.2 バイポーラ出力電圧のスケール調整.....	36
9.3.3 バイポーラ出力電圧のゼロ調整(オプション: 0Vの精度を要求される場合) .....	36
10. トリガレベル設定 .....	37
10.1 トリガレベル設定用D / Aコンバータの校正 .....	37
10.1.1 オフセット調整 .....	37
10.1.2 スケール調整 .....	37
10.1.3 ゼロ調整 .....	37
10.2 トリガレベル用コンパレータの校正.....	37
11. アナログ入出力コネクタのピン配置.....	38
12. 添付品 .....	39

## 1. 概 説

ADSP322-53、ADSP324-03、ADSP326-03は32bitDSPボードADSP32Xシリーズ専用の12bitA/D&D/A変換ボードです。この3機種のA/D・D/A変換ボードは同一仕様となっています。

A/D・D/Aボード	DSPボード
ADSP322-53	ADSP322-50
ADSP324-03	ADSP324-00
ADSP326-03	ADSP326-00

表1 A/D&D/Aボードの一覧

主な機能は

本ボードは4台\*1まで増設可能である。

A/Dコンバータは4chの同時変換が可能である。

D/Aコンバータは4chを任意に出力することができる。また外部変換開始信号によりD/Aの同時変換も可能である。

DSPボードに対する割り込みの発生は

- ・A/D変換の終了
- ・トリガの発生

の2種類があり、いずれか一方を選択することができる。

また、割り込みをマスクすることも可能である。

複数のボードからINT3の割り込みが発生した場合でも割り込みフラグを設定する事により8種類の識別が可能である。

アナログ入力がある電圧をよぎる時に割り込みを発生するトリガ機能が有り、トリガレベルとスロープの極性を設定することができる。

本ボードには自動変換開始機能があり外部変換開始信号に同期させてA/DコンバータとD/Aコンバータの変換を同時に開始することができる。(3.1.3)外部変換開始信号は

TMS320C31(DSP)のオンチップタイマ0のカウントアップによる  
クロックアウト(TCLK0)信号  
外部クロック信号

の2種類がありいずれか一方を選択することができる。

またA/D・D/A変換器を最大各16chまで同時変換させることができる。

等があり、デジタル信号処理のアプリケーションに適した構成になっています。

【注意】 \*1 DSPボードの拡張バスに接続できる最大ボード枚数は4枚です。

## 2. 基本仕様

### 2.1 精度及び機能

#### A/Dコンバータ部

分解能	12 bit
変換時間	3 $\mu$ sec / ch
チャンネル数	4 ch
変換順序	4 ch同時変換
データ読出時間	0.15 $\mu$ sec / ch
入力方法	作動入力
入力電圧範囲	$\pm 5$ V、 $\pm 10$ V
自動変換開始機能	外部変換開始信号に同期して全チャンネル同時変換

#### D/Aコンバータ部

分解能	12 bit
変換時間	5 $\mu$ sec / ch
チャンネル数	4 ch
変換順序	任意チャンネル変換、または4 ch同時変換
出力電圧範囲	0 ~ +5 V、0 ~ +10 V $\pm 2.5$ V、 $\pm 5$ V、 $\pm 10$ V
出力電流	最大 5 mA
出力インピーダンス	0.05 (DC)
自動変換開始機能	外部変換開始信号(*EXTCLK・*TCLK0) に同期して全チャンネル同時変換

#### トリガ機能

トリガチャンネル	入力回路番号 A/D・00
比較電圧範囲	-10 V ~ +10 V
比較電圧分解能	12 bit
トリガスロープ極性	正・負プログラム可能
トリガ割り込み機能	有り、マスク可能

#### 割り込み

割り込みの発生源	A/D変換(BUSY)の終了、トリガの発生
割り込みレベル	INT3
割り込みフラグ	INT3の8種類の識別可能
割り込みパルス幅	100 nsec

#### 外部変換開始信号

TMS320C31のオンチップタイマ0のカウントアップによるクロックアウト(TCLK0)信号	
外部クロック信号	TTLレベル・負論理・立ち下がりエッジ 入力プルアップ抵抗 4.7 K

電源	アナログ回路電源内蔵	$\pm 15$ V、250 mA
	デジタル回路電源(外部供給)	DC +5 V、3 A

## 2.2 コネクタ、ショートピン、ボリユームの配置

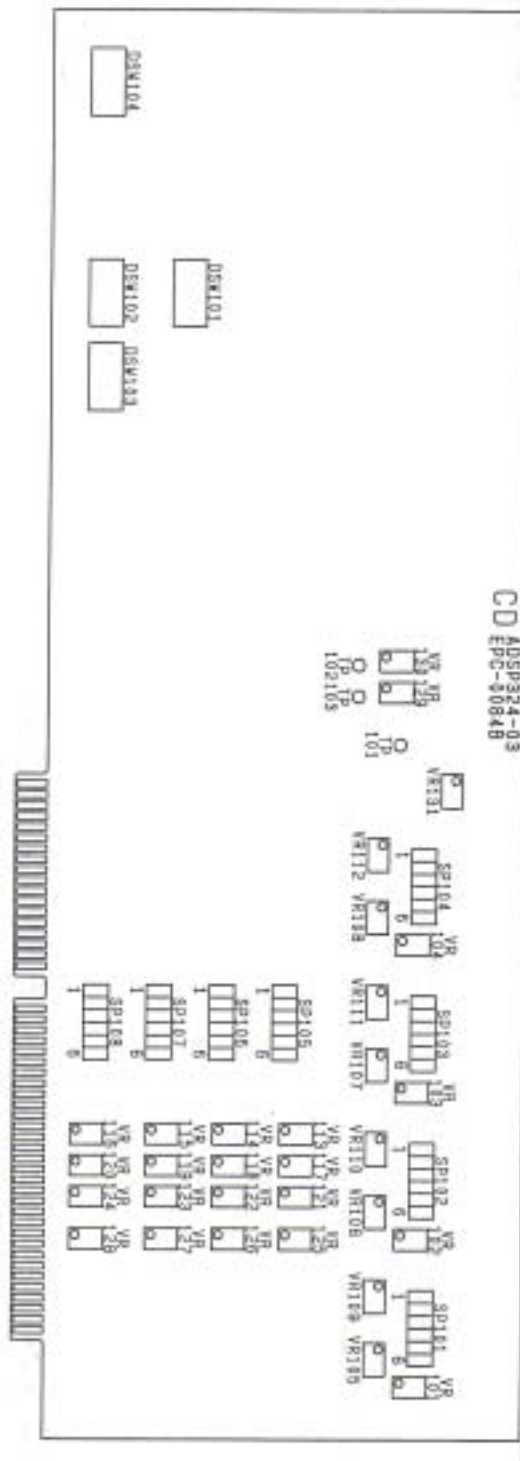


図2 ADSP324-03部品配置図

## 2.3 出荷時の設定

DSW101	1 2 3 4 5 6 7 8	<input type="text"/>	ボードアドレス : <u>9 0 0 0 0 0</u> h
ON			
OFF			
DSW102	1 2 3 4 5 6 7 8	<input type="text"/>	ボードアドレス : 9 0 <u>0 0</u> 0 0 h
ON			
OFF			
DSW103	1 2 3 4 5 6 7 8	<input type="text"/>	ボードアドレス : 9 0 0 0 <u>0 0</u> h
ON			自動変換機能 : 否選択
OFF			トリガ割込み : 不可
DSW104	1 2 3 4 5 6 7 8	<input type="text"/>	A / D変換終了割込み : 不可
ON			割り込みフラグ : 設定無し
OFF			
SP105 SP205	1 2 3 4 5 6	<input type="text"/>	SP105 ~ SP108 (ADSP324-00, ADSP326-00)
SP108 SP208			SP205 ~ SP208 (ADSP322-53)
			A / Dコンバータ入力電圧範囲 :
			- 1 0 V ~ + 1 0 V
		ショート	オープン
SP101 SP201	1 2 3 4 5 6	<input type="text"/>	SP101 ~ SP104 (ADSP324-00, ADSP326-00)
SP104 SP204			SP201 ~ SP204 (ADSP322-53)
			D / Aコンバータ入力電圧範囲 :
			- 1 0 V ~ + 1 0 V
		ショート	オープン

図4 ディップスイッチ・ショートピンの出荷時設定



## 2.4 ボードの設置方法

1. 本ボードを拡張スロットに装着します。
2. DSPボードのコネクタ(CN\*\*)と、本ボードのCN11を拡張バスケーブルで接続します。

ADSP324-03	DSPボード
CN11	ADSP324-00A:CN12
	ADSP674-00:CN11

拡張バスケーブル	ADSP324-15	オプション
----------	------------	-------

3. A/D入力とD/A出力は下記のコネクタに接続します。

機種	コネクタ
ADSP322-50	CN22
ADSP324-03	CN12
ADSP326-03	CN12

表2 機種別アナログ入出力コネクタ表

## 2.5 入出力信号の接続方法

### 1. D/Aコンバータの出力は

OUT*	D/Aコンバータの出力
AGND	アナロググランド

で1組の出力回路を構成しています。  
入出力用コネクタの信号配置は表4.3、表4.4を参照して下さい。

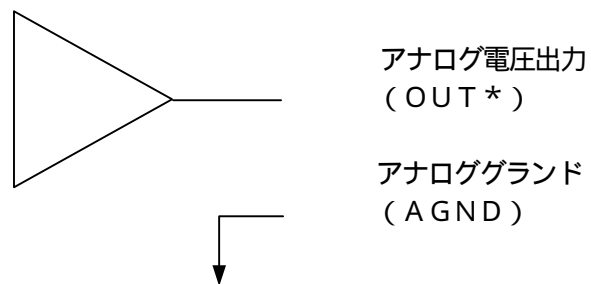


図5 D/Aコンバータ出力回路

2. A/Dコンバータの入力回路は差動入力回路となっています。入力端子は

+ IN *	バッファアンプの正転入力
- IN *	バッファアンプの反転入力
AGND	アナロググランド

で1組の入力回路を構成しています。  
入出力用コネクタの信号配置は表4 3、表4 4を参照して下さい。

【注意】A/Dコンバータの未使用回路の入力はAGNDに接続して下さい。

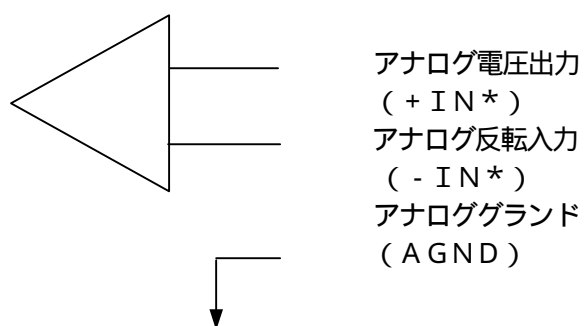


図6 A/Dコンバータ入力回路

### 3. 初期設定

本ボードで初期設定が必要なものはディップスイッチ【DSW101】～【DSW104】とメモリマップされた各レジスタがあります。ディップスイッチの設定は大きく分けて3つの部分から構成されています。

1. ボードアドレス
2. サンプリング・クロックの選択と、割り込み源の選択
3. 割り込みフラグの設定

またレジスタには

1. 割り込みコントロール
2. トリガレベル
3. ゲイン

などがあり、機能内容の選択のために初期設定を行います。

【注意】ディップスイッチは論理下記のように定義されています。

	O N	O F F
論 理	0	1

表3 ディップスイッチの論理表

### 3.1 ボードアドレスの設定

ADSP324-03はアドレスラインのA00～A03をデコードし10h(16)ワードの領域を使用します。そして【DSW101】・【DSW102】・【DSW103】を使ってA04～A23のアドレスを設定し900000h～90FFFFhの64Kワードの領域内に割り付けます。表4に【DSW101】～【DSW103】のアドレス信号割り付けと図7に設定例を示します。また、拡張ボードは1台のDSPボードに対し4台まで接続することができますのでアドレスが重ならないよう設定します。

DSW101		DSW102		DSW103	
DSW101	信号名	DSW102	信号名	DSW102	信号名
8	A23	8	A15	8	A07
7	A22	7	A14	7	A06
6	A21	6	A13	6	A05
5	A20	5	A12	5	A04
4	A19	4	A11	4	未使用
3	A18	3	A10	3	変換開始モードの選択
2	A17	2	A09	2	外部クロックの選択
1	A16	1	A08	1	割込み源の選択

表4 DSW101・DSW102・DSW103

ボードアドレス：900000h

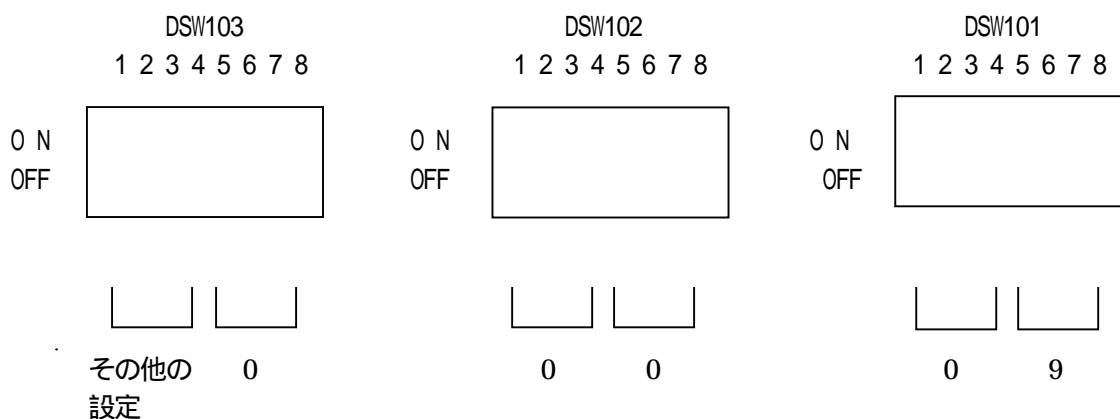


図7 ボードアドレスの設定

### 3.2 サンプルング・クロックの選択と、割り込み源の選択

【DSW101-1】～【DSW101-3】の設定内容を表5に示します。出荷時設定は図7の様に設定されています。詳細は4.1を参照して下さい。

DSW103	OFF	ON
3	DSPによる変換開始	外部クロックによる変換開始
2	TCLK0による変換開始	EXTCLKによる変換開始
1	A/D変換終了による割り込み	トリガレベル検出による割り込み

表5 サンプルング・クロックの選択と、割り込み源の選択

### 3.3 割り込みフラグ

割り込みフラグはどの周辺ボードが割り込みを発生しているかを識別するためのものです。各ボードに毎に任意のフラグを【DSW104】を使って設定することができます。DSPボードはこの割り込みフラグを90FFFFhのD00～D07より読み出すことができます。出荷時の設定を図8に示します。

DSW104		
DSW104	信号名	90FFFFh
8	割り込みフラグ8	D07
7	割り込みフラグ7	D06
6	割り込みフラグ6	D05
5	割り込みフラグ5	D04
4	割り込みフラグ4	D03
3	割り込みフラグ3	D02
2	割り込みフラグ2	D01
1	割り込みフラグ1	D00

表6 DSW104

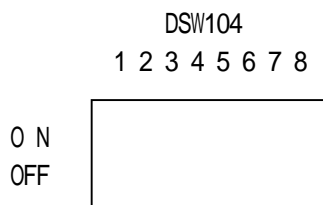


図8 割り込みフラグの設定

### 3.4 メモリマップ

本ボードのベースアドレスを900000hに設定した場合のメモリマップを表7に示します。割り込みコントロール・レジスタ、トリガレベル設定、ゲイン設定は操作内容により初期設定が必要になります。

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900000h	900000h	03000000h	A/D 変換開始	A/D・00 からのデータ入力
900001h	900001h	03000004h	A/D 変換開始	A/D・01 からのデータ入力
900002h	900002h	03000008h	A/D 変換開始	A/D・02 からのデータ入力
900003h	900003h	0300000Ch	A/D 変換開始	A/D・03 からのデータ入力
900004h	900004h	03000010h	D/A・00 へのデータ出力	
900005h	900005h	03000014h	D/A・01 へのデータ出力	
900006h	900006h	03000018h	D/A・02 へのデータ出力	
900007h	900007h	0300001Ch	D/A・03 へのデータ出力	
900008h	900008h	03000020h		A / D ビジーフラグ
900009h	900009h	03000024h	割り込みコントロール	
90000Ah	90000Ah	03000028h	トリガレベル	
90000Bh	90000Bh	0300002Ch	ゲイン	
90000Ch	90000Ch	03000030h	割り込みフラグリセット	
90000Dh	90000Dh	03000034h		
90000Eh	90000Eh	03000038h		
90000Fh	90000Fh	0300003Ch		
90FFFFh	90FFFFh	0303FFFCh	全割り込みフラグリセット	割り込みフラグ読みだし

表7 メモリマップ

### 3.5 割り込みコントロール・レジスタの設定

割り込みコントロール・レジスタはA / D・D / A同時変換機能をA / D・D / A同時変換（同期）・A / Dのみ同時変換しD / Aは任意出力（非同期）の選択と、割り込みの許可・不許可の選択とトリガレベル割り込みが選択された場合のトリガスロープの選択を行います。電源投入時、このレジスタはイニシャルリセットされ【0】になっています。詳細は6.5を参照して下さい。

割り込みコントロールレジスタ	0	1
bit 2	同期	非同期
bit 1	割り込み不可	割り込み可
bit 0	トリガスロープ	トリガスロープ

表8 割り込みコントロールレジスタ

### 3.6 トリガレベルレジスタの設定

A/D・0の入力電圧が、あるトリガレベル電圧を、選択されたスロープで横切る時に割り込みが発生します。その割り込みが発生するトリガレベル電圧を設定します。電源投入時にはこの電圧は不定です。

トリガレベル電圧範囲	12 bit ±10V	初期値：不定
------------	-------------	--------

### 3.7 ゲインレジスタの設定

ゲインレジスタはA/D変換器入力段の差動アンプの増幅度を設定します。電源投入時のゲインは1です。

ゲイン	1	2	4	8
$2^1$	0	0	1	1
$2^0$	0	1	0	1

表9 ゲインコード

bit	ゲインレジスタ	
31	0	
⋮	⋮	
8	0	
7	$2^1$	A/Dch3の ゲイン
6	$2^0$	
5	$2^1$	A/Dch2の ゲイン
4	$2^0$	
3	$2^1$	A/Dch1の ゲイン
2	$2^0$	
1	$2^1$	A/Dch0の ゲイン
0	$2^0$	

表10 ゲインレジスタの内容



## 4. サンプルングモード

### 4.1 サンプルング・クロックの選択

本ボードのサンプルングモードは表 1 1 の様に 4 種類の中から選択する事ができます。そしてサンプルングを外部変換開始信号に同期させて A / D コンバータと D / A コンバータの各チャンネルを同時に変換させることも可能です。さらに 4 種類のモード全てに於いて A / D 変換終了の確認を A / D 変換終了割り込みを使って知ることができます。

**EXTCLK** ボードの外部からサンプルング信号を与え変換を開始させる時に使用します。入力信号は TTL レベルで負論理で立ち下りのエッジに同期されます。複数台に EXTCLK を入力すれば複数台の同時サンプルングが可能となります。A / D 変換割り込みを使って入出力処理を行うと DSP のアイドル時間が無く効率的です。5.2 を参照して下さい。

**TCLK0** DSP (TMS320C31) 内のオンチップタイマの【タイマ0】で生成されたパルスを出力するピンの信号が DSP 拡張バスに出力されています。この信号を利用する事により複数台の A / D ・ D / A ボードに同期を掛ける事ができます。この場合タイマ0の割り込みは使用しません。A / D 変換割り込みを使って入出力処理を行うと DSP のアイドル時間が無く効率的です。4.2、5.2 を参照して下さい。

**オンチップタイマ** DSP (TMS320C31) 内のオンチップタイマの【タイマ0】或いは【タイマ1】を使ってサンプルング周期を決め周期毎に割り込みを発生させて割り込み処理ルーチンの中で A / D コンバータの読み出しや、A / D コンバータの変換開始、D / A コンバータへの出力を行います。

**任意** 任意のタイミングで A / D 変換 ・ D / A 変換を行います。

**【注意】** 複数台の A / D ・ D / A ボードを使用する場合は 1 台のみ割り込みを可能となるよう設定して下さい。  
トリガ割り込みを使っている時には A / D 変換終了割り込みは使用できません。

	EXTCLK	TCLK0	オンチップタイマ-割込	任意タイミング
変換開始モード	自動変換	自動変換	DSP 起動	DSP 起動
DSW103-3	ON	ON	OFF	OFF
DSW103-2	ON	OFF	OFF	OFF
DSW103-1	OFF	OFF	OFF / ON	OFF / ON
用途	外部信号にサンプルングを同期させて行う	オンチップタイマ-のオンチップタイマ-の割り込み信号にサンプルングを同期させて複数台を同時にを行う	オンチップタイマ-の割り込みにサンプルングを同期させて行う	任意のタイミングでサンプルングを行う

表 1 1 サンプルング信号の選択

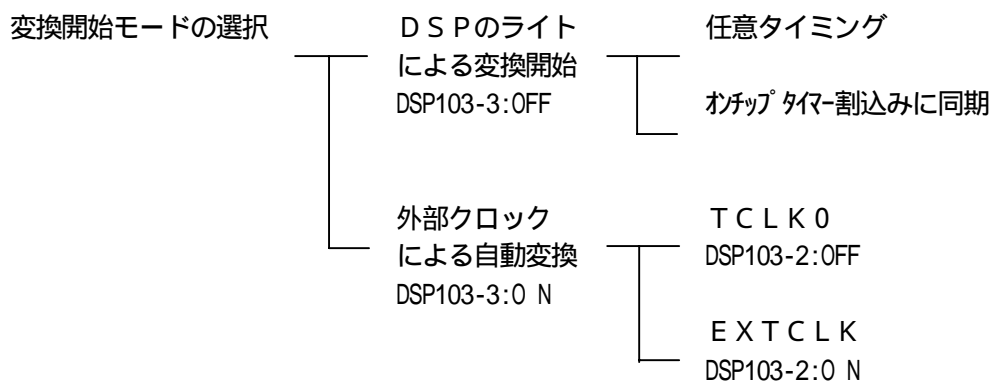


図9 変換開始モードの選択

#### 4.2 オンチップタイマの設定

オンチップタイマを使用するためにはグローバル制御レジスタとタイマ周期レジスタの初期設定をしなければなりません。そしてタイマ・カウンタ・レジスタはタイマ周期に至る途中の値を示しており、これらのレジスタはDSPチップ内にあります。タイマ関連のメモリマップを表12に示します。そして本ボードのサンプリングをオンチップタイマのクロックアウト信号(\*TCLK0)による自動変換を行うために【タイマ0】に関連したレジスタを設定しなければなりません。そのためタイマ0のグローバル制御レジスタは表13の様に設定しなければなりません。尚タイマのスタートとストップはGOと\*HLDを表14のように設定します。さらにタイマ周期の設定は次の計算式により決定されます。

$$\begin{aligned} \text{内部クロックソース} &= f(H1) \div 2 \\ &= 20\text{MHz} \div 2 \\ &= 10\text{MHz} \end{aligned}$$

$$\text{タイマ出力周波数} = \text{内部クロックソース}(10\text{MHz}) \div \text{周期レジスタ}$$

	タイマ0	タイマ1
グローバル制御レジスタ	808020h	808030h
タイマ・カウンタ・レジスタ	808024h	808034h
タイマ周期レジスタ	808028h	808038h

表12 タイマ関連のメモリマップ

グローバル制御レジスタ			
bit	名称	論理	機能
0	FUNK	1	TCLKはタイマピンとなる
6	GO	1/0	GO=1 & /HLD=1 : タイマスタート
7	*HLD	1/0	GO=0 & /HLD=0 : タイマストップ
8	C/*P	0	パルスモードを選択。パルス幅は1/f(H1)
9	CLKSRC	1	タイマ・カウンタは内部クロックをカウントする
10	INV	1	TCLKの出力は反転されて負論理となる

表13 グローバル制御レジスタ

	GO(bit6)	*HLD(bit7)
スタート	1	1
ストップ	0	0

表14 オンチップタイマのスタートとストップ

#### 4.3 オンチップタイマによる割り込みの生成

オンチップタイマはタイマ・カウンタ・レジスタの値がタイマ周期レジスタの値に到達する度に割り込みを発生させることができます。タイマ周期毎に割り込みを発生させるためにはIEレジスタ(インタラプト・イネーブル・レジスタ:表15)のタイマ0、タイマ1に対応したBITを1にします。オンチップタイマの周期毎の割り込み時にA/D・D/Aコンバータのサンプリング等を行います。またIFレジスタ(表16)のビットの値が【1】になっているところは割り込みがあったかどうかを示しています。そして割り込みフラグを確認した後、次の割り込みのためにそのフラグをリセットしておきます。割り込みが発生したときに処理すべきプログラムのアドレスを割り込みベクタアドレス(表17)に格納しておきます。

#### 【注意】

DSPはステータスレジスタ(ST)のGIE(bit13)の値が【1】に設定されていない場合は割り込みには応答できません。

本ボードが発生する割り込みはDSPの【INT3】です。

bit	IEレジスタ	
8	ETINT0	タイマ0割り込みイネーブル
9	ETINT1	タイマ1割り込みイネーブル
3	INT3	INT3割り込みイネーブル

表15 IEレジスタ

bit	IFレジスタ	
8	TINT0	タイマ0割り込みフラグ
9	TINT1	タイマ1割り込みフラグ
3	INT3	INT3割り込みフラグ

表16 IFレジスタ

割り込みベクタアドレス	
INT3	04h
TINT0	09h
TINT1	0Ah

表17 割り込みベクタアドレス

## 5 . 割り込み

DSPボードに対する割り込みの発生は『トリガ割り込み』と『A/D変換終了割り込み』の2種類あり、ディップスイッチ【DSW103-1】の設定によりいずれか一方を選択することができます。(表18)

外部変換開始信号に同期させてサンプリングを行う場合は『A/D変換終了割り込み』を選択して下さい。

DSW103	OFF	ON
1	A/D変換終了による割り込み	トリガレベル検出による割り込み

表18 割り込み源の選択

そして選択された割り込み源は割り込みコントロールレジスタの設定によりソフトウェア的に割り込みをマスクすることができます。(6.5参照)また、割り込みが発生した場合に『割り込みフラグレジスタ』を読み出すことによりどのボードが割り込みを発生したかの確認ができます。

### 【注意】

複数台の本ボードを使用し、1種類の外部クロックに同期して変換を行う場合にはその内の1台のみ割り込みを可能となるよう設定して下さい。

### 5.1 割り込みフラグレジスタ

割り込みフラグレジスタはどのボードが割り込みを発生しているかを識別するためのレジスタでこのレジスタは【90FFFFh】にマップされています。割り込みが発生しているビットには【0】がセットされ、割り込みの無いビットには【1】がセットされます。そして本ボードが割り込みを発生したときに、この割り込みフラグレジスタのどのビットに【0】を立てるかを【DSW104】を使って選択します。割り込みの識別できる数は8つです。割り込みフラグレジスタは【bit0】～【bit7】までの8bitで構成され、【bit8】～【bit31】までは常に【1】となっています。

そして割り込みを示している【bit】のみリセットする場合は【ベースアドレス+Ch】番地に書き込み動作を行う事により(データは何でも良い)そのフラグビットをリセットすることができます。また【90FFFFh】に書き込み動作を行う事によりレジスタ全体をリセットする事ができます。

割り込みフラグレジスタ	READ	WRITE
ベースアドレス+Ch	—————	指定bitリセット
90FFFFh	レジスタ読み込み	全bitリセット

表19 割り込みフラグレジスタのメモリマップ

割り込みフラグレジスタ			
bit	割り込み有り	割り込み無し	DSW104
31	_____	1	_____
·	_____	1	_____
·	_____	1	_____
8	_____	1	_____
7	0	1	8
6	0	1	7
5	0	1	6
4	0	1	5
3	0	1	4
2	0	1	3
1	0	1	2
0	0	1	1

表 2 0 割り込みフラグレジスタの構成

DSW104	O N	O F F	接続先
8	接 続	否接続	D 0 7
7	接 続	否接続	D 0 6
6	接 続	否接続	D 0 5
5	接 続	否接続	D 0 4
4	接 続	否接続	D 0 3
3	接 続	否接続	D 0 2
2	接 続	否接続	D 0 1
1	接 続	否接続	D 0 0

表 2 1 D S W 1 0 4 の割り込みフラグレジスタへの割付

## 5.2 A/D変換終了割り込み (A/D・D/A同時変換 (同期)) の使用例

自動変換機能を行っているときに、外部変換開始信号に同期してA/Dコンバータは変換が開始され、またD/Aコンバータは前回D/Aコンバータのバッファに貯えられたデータを出力します。そしてA/DコンバータがA/D変換終了の割り込みを発生するとDSPは『INT3』のベクタアドレスに格納されている割り込み処理ルーチンにジャンプし、割り込みフラグレジスタを読み込みます。さらにDSPはユーザの『ある処理』を行いその結果をD/Aコンバータのバッファに書き込み一時的にデータを蓄え次回の外部変換開始信号に備えます。

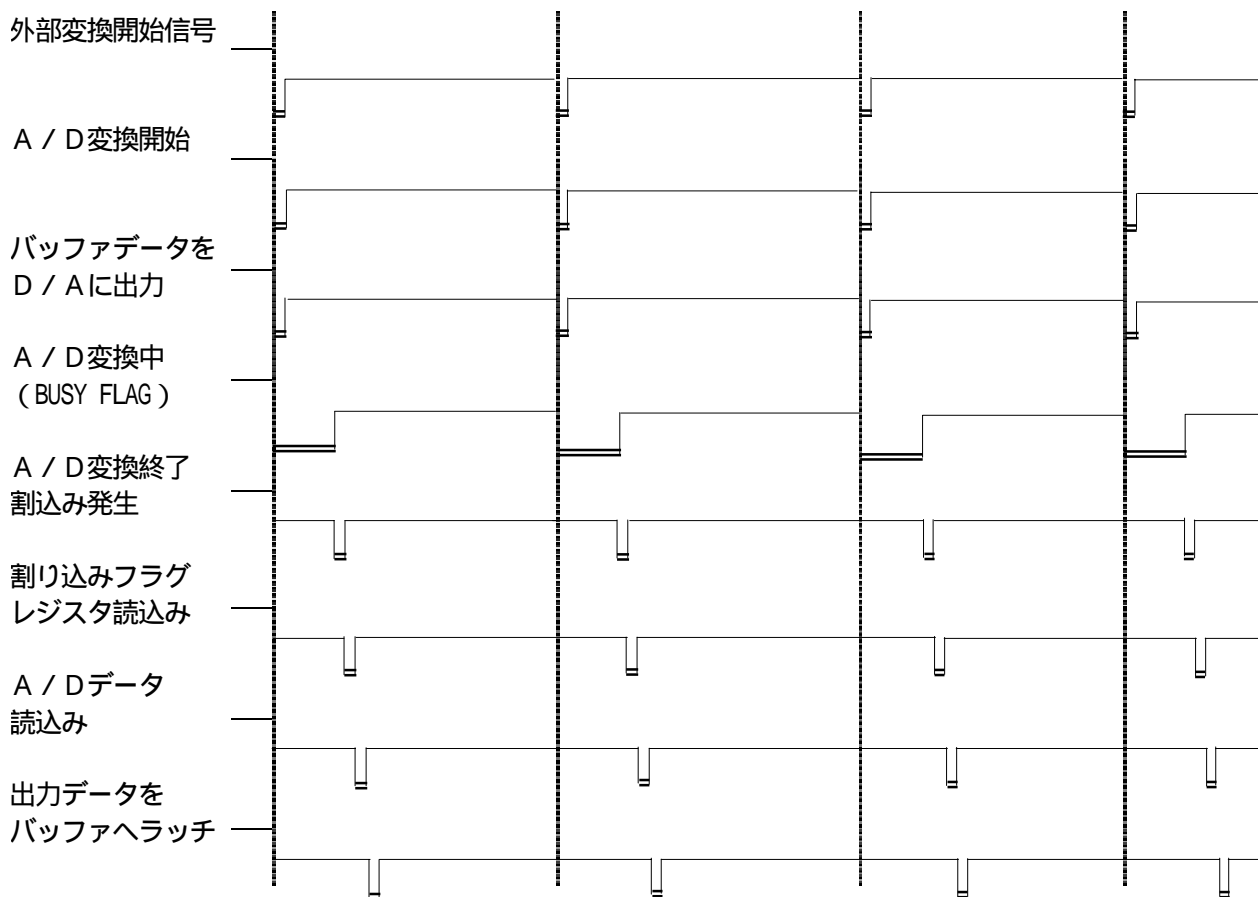


図10 A/D変換終了割り込み (同期) を使ったA/D・D/A変換タイムチャート

### 5.3 トリガ割込みの使用例

デジタルオシロスコープのトリガの様に使うことができます。A/D変換は外部変換開始信号に同期して行いDSPはA/Dコンバータのビジーフラグ(BUSY FLAG)を確認しながらデータを取り込みメモリのバッファ領域に格納して行きます。この動作を繰り返しているうちに入力信号がトリガレベルをよぎると割り込みが発生します。そしてこの点を基にトリガモード(プリトリガ・センタートリガ・ポストトリガ)にもとずいてデータの取り込みを行います。

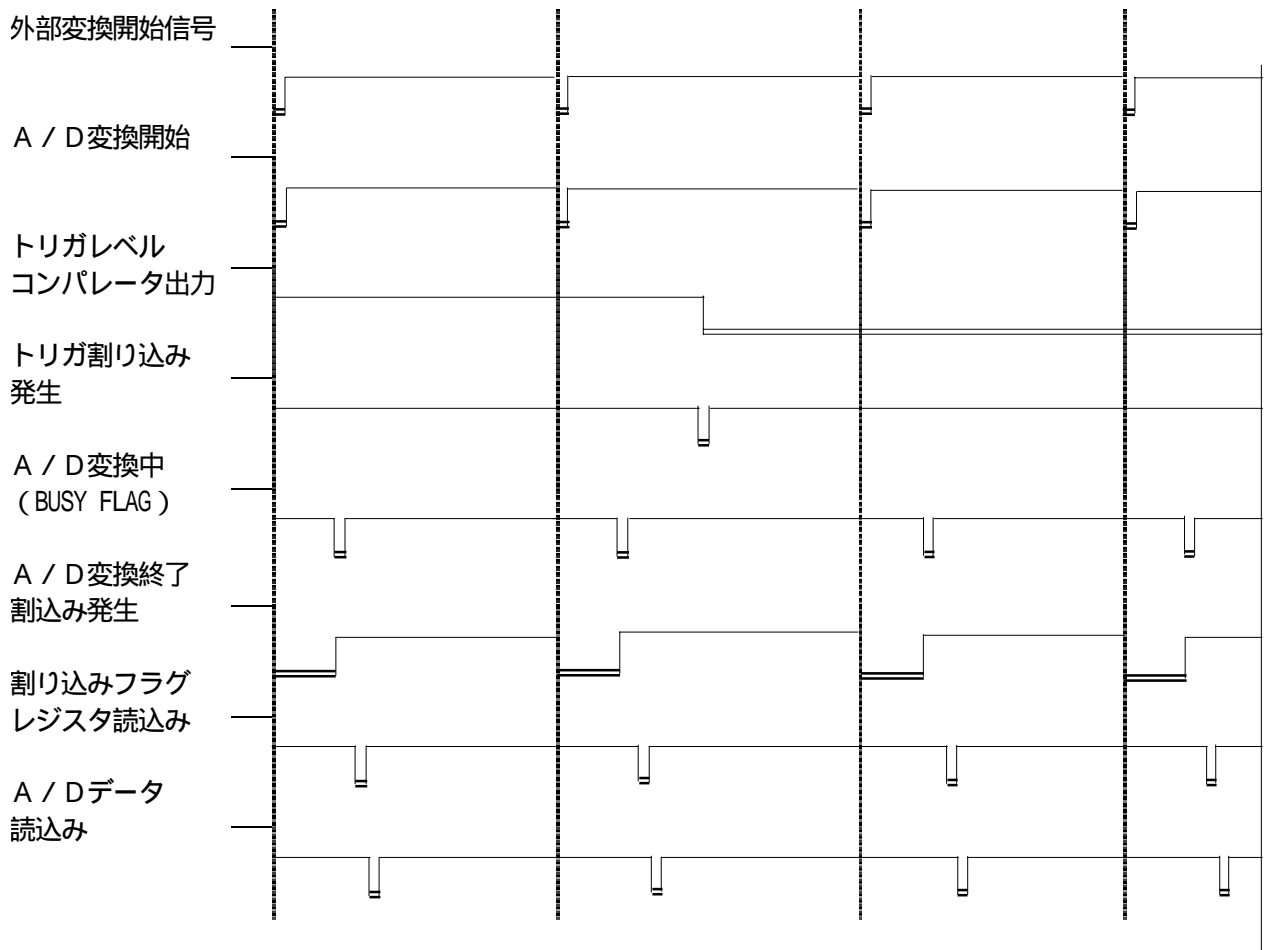


図11 トリガレベル割り込みを使ったA/D変換タイムチャート



## 6. ボードの制御とメモリマップ

本ボードは10h(16番地)のメモリ領域を使用しています。本ボードのベースアドレスは【DSW101】・【DSW102】・【DSW103】を使い設定します。本ボードを複数台使用した場合は各ボードのメモリマップが重ならないようにベースアドレスを設定します。

ボードのソフトウェアによる制御には

1. A/Dコンバータの変換開始指令
2. A/Dコンバータの変換データの読み出し
3. D/Aコンバータへのデータの書き込み
4. A/Dコンバータのビジーフラグ(変換中)チェック
5. トリガスロープの選択
6. 割り込み信号のマスク制御
7. トリガレベルの設定
8. 割り込みフラグの読み出しとリセット

等があります。

表2.2にベースアドレスを【900000h】に設定した場合のメモリマップを示します。

本ボード アドレス	ADSP324-00A アドレス	ADSP674-00 アドレス	WRITE	READ
900000h	900000h	03000000h	A/D 変換開始	A/D・00 からのデータ入力
900001h	900001h	03000004h	A/D 変換開始	A/D・01 からのデータ入力
900002h	900002h	03000008h	A/D 変換開始	A/D・02 からのデータ入力
900003h	900003h	0300000Ch	A/D 変換開始	A/D・03 からのデータ入力
900004h	900004h	03000010h	D/A・00 へのデータ出力	
900005h	900005h	03000014h	D/A・01 へのデータ出力	
900006h	900006h	03000018h	D/A・02 へのデータ出力	
900007h	900007h	0300001Ch	D/A・03 へのデータ出力	
900008h	900008h	03000020h		A/Dビジーフラグ
900009h	900009h	03000024h	割り込みコントロール	
90000Ah	90000Ah	03000028h	トリガレベル	
90000Bh	90000Bh	0300002Ch	ゲイン	
90000Ch	90000Ch	03000030h	割り込みフラグリセット	
90000Dh	90000Dh	03000034h		
90000Eh	90000Eh	03000038h		
90000Fh	90000Fh	0300003Ch		
90FFFFh	90FFFFh	0303FFFCh	全割り込みフラグリセット	割り込みフラグ読みだし

表2.2 メモリマップ

## 6.1 A/Dコンバータの変換開始指令

A/Dコンバータの変換開始指令は各ボード上の【ベースアドレス+0h】～【ベースアドレス+3h】間の1つの番地にメモリ書き込み動作を行うことにより実行されます。変換開始指令について本ボードは、アドレスの下位2ビット以上をデコードしているため【ベースアドレス+0h】～【ベースアドレス+3h】間のどのアドレスに書き込みを行っても4chのA/Dコンバータに同時に変換開始指令が発せられます。

A/Dコンバータの制御手順は、まず始めにA/Dコンバータに変換指令を与えます。A/Dコンバータはメモリ空間にマップされていますのでそのアドレスに書き込み動作を行うことにより変換を開始させることができます。その後300ns後にビジーフラグを入力し、変換が終了したか(ビジーフラグ=1)を調べます。変換終了を確認した後に変換データを取り出します。変換中(ビジーフラグ=0)のデータは正しい変換データではありません。尚、変換終了割り込みを利用することによりビジーフラグのチェックをせずにデータの取り込みを行うことも可能です。

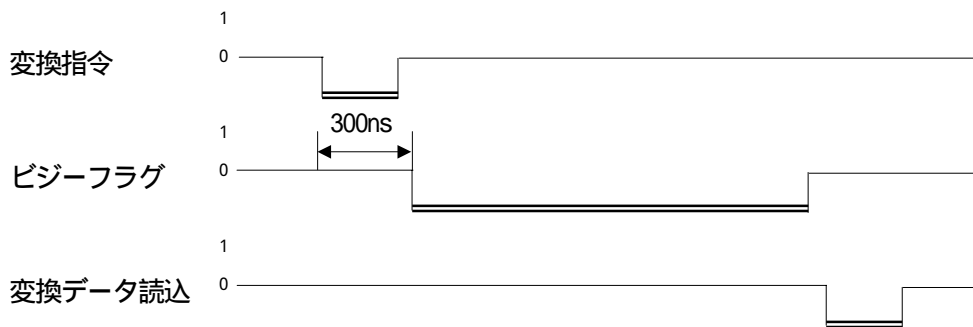


図12 A/Dコンバータの制御タイミングチャート

## 6.2 A/Dコンバータの変換データの読み出し

A/Dコンバータの変換データの読み出しは、各ボードのベースアドレスを含めた4番地の間でベースアドレスから順にA/Dコンバータのアドレスが割り当てられているので、各チャンネルに対応したアドレスからメモリデータの読み出し動作を行うことにより実現されます。変換データの読み出しアドレスの詳細は表22を参照して下さい。

## 6.3 D/Aコンバータへのデータ書き込み

D/Aコンバータのアナログ電圧出力は、D/Aコンバータへのデータの書き込みにより実現されます。またD/Aコンバータの出力モードには2つのモードがあり【DSW103-3】の選択により動作が異なります。このスイッチが【OFF】の時データは直接D/Aコンバータに直接書き込まれアナログ出力はすぐに変化します。一方【ON】でコントロールレジスタのbit2が“0”の場合はデータはバッファ回路にラッチ(記憶)されます。そして【TCLK0】あるいは【EXTCLK】の何れかに同期してD/Aコンバータに書き込まれます。(表11)この時にA/Dコンバータも同期して変換を開始します。そして【ON】でコントロールレジスタのbit2が“1”の場合はデータはデータの書き込みにより変換します。

各ボードの【ベースアドレス+4h】～【ベースアドレス+7h】の間にD/Aコンバータのアドレスが割り当てられているので、各チャンネルに対応したメモリアドレスにアナログ電圧に相当したデータを書き込みます。変換データの書き込みアドレスの詳細は表2.2を参照して下さい。

#### 6.4 A/Dコンバータのビジーフラグ(変換中)チェック

ビジーフラグは各ボードの【ベースアドレス+8h】にあり、その番地からデータを読み出すことによりA/Dコンバータが現在変換中かどうかを調べることができます。変換中はA/Dコンバータから読み出したデータは正しいものではありません。ビジーフラグがアクティブ【0】でなくなった後に正しい変換データを読み出します。尚、変換終了割り込みを利用する事によりビジーフラグのチェックをせずにデータの取り込みを行う事も可能です。

(参照5.2)

ビジーフラグ	意味
0	変換中
1	変換終了

表2.3 ビジーフラグの定義

また各ボードの【ベースアドレス+8h】から読み出したビジーフラグデータのビットマップは表2.4の様に定義されています。

bit	定義
0	A/D・00 BUSY
1	A/D・00 BUSY
2	A/D・00 BUSY
3	A/D・00 BUSY
4	1
・	1
・	1
31	1

表2.4 ビジーフラグ読み出しデータのビットマップ

## 6.5 コントロールレジスタの設定

### 6.5.1 A/D・D/Aコンバータの同期変換

【DSW103-1】を【ON】でコントロールレジスタの【bit2】を【0】にすることにより【TCLK0】あるいは【EXTCLK】の何れかに同期してA/D・D/Aコンバータを同時変換することができます。コントロールレジスタの【bit2】を【1】にするとA/Dコンバータのみクロックに同期して変換し、D/Aコンバータは各チャンネルごとのデータの書き込みにより変換をおこないます。

割り込みコントロールレジスタ	0	1
bit2	同期	非同期
bit1	割り込み不可	割り込み可
bit0	トリガスロープ	トリガスロープ

表25 割り込みコントロールレジスタ

### 6.5.2 割り込み信号のマスク制御

『A/D変換終了割り込み』、或いは『トリガの発生による割り込み』の発生は制御レジスタの【bit1】を【1】にすると割り込み可となり【0】にするとマスクすることができます。割り込み信号源は【DSW103-1】により選択することができます。(表25)

### 6.5.3 トリガスロープの選択

A/Dコンバータ【0ch】の入力信号がトリガレベル電圧を横切る場合にトリガとなり割り込み(INT3)を発生します。但し、【DSW103-1】と割り込みコントロールレジスタの設定が必要となります。

その時に、入力信号がトリガレベル電圧より高い電圧から、トリガレベル電圧より低い電圧に変化する場合を『負のスロープ』、また入力信号がトリガレベル電圧より低い電圧から、トリガレベル電圧より高い電圧に変化する場合を『正のスロープ』と呼びます。そしてどちらかのスロープでトリガを発生させるかを割り込みコントロールレジスタの【bit0】の値で選択します。

DSW103	選 択	内 容
3	ON/OFF	関係しない
2	ON/OFF	関係しない
1	O N	トリガレベル検出による割り込み

割り込みコントロールレジスタ	選 択	内 容
bit2	0 / 1	同期 / 非同期
bit1	1	割り込み可
bit0	1 / 0	トリガスロープ /

表26 トリガスロープの設定

## 6.6 トリガレベルの設定

トリガレベルの設定は、各ボードのA/Dコンバータ【0ch】の入力信号に付いてのみ設定することができます。本ボードにはトリガレベル設定用のD/Aコンバータと、入力信号とトリガレベルとの比較を行うコンパレータが内蔵されています。設定分解能と設定電圧範囲は下記のとおりです。またD/Aコンバータのコードはオフセットバイナリです。

設定分解能	設定電圧範囲
12bit	-10V ~ +10V

出力電圧範囲	±10V
出力データ	変換出力電圧
FFFh	9.9951V
...	...
800h	0V
...	...
000h	-10V

表27 トリガレベル電圧とコード

## 7. A/D・D/A変換データの関係

### 7.1 入力電圧とA/D変換データの関係

入力電圧とA/Dコンバータの変換データとの関係を表28、表29に示します。A/D変換データの未使用ビット(12bit~31bit)は、“0”です。

入力電圧範囲 $\pm 5V$	A/D変換データ
4.9963V以上	FFFh
4.9939V~4.9963V	FFEh
...	...
...	...
-1.22mV~+1.22mV	800h
-3.66mV~-1.22mV	7FFh
...	...
...	...
-4.9988V~-4.9963V	001h
-4.9988V以下	000h

表28 入力電圧  $\pm 5V$  とA/D変換データ

入力電圧範囲 $\pm 10V$	A/D変換データ
9.9927V以上	FFFh
9.9879V~9.9927V	FFEh
...	...
...	...
-2.44mV~+2.44mV	800h
-7.32mV~-2.44mV	7FFh
...	...
...	...
-9.9976V~-9.9927V	001h
-9.9976V以下	000h

表29 入力電圧  $\pm 10V$  とA/D変換データ

## 7.2 出力データとD/Aコンバータの変換電圧との関係

出力データとD/Aコンバータの変換出力電圧との関係を表30、表31に示します。

出力電圧範囲	0 ~ 5 V	0 ~ 10 V
出力データ	変換出力電圧	変換出力電圧
FFFh	4.9988V	9.9976V
...	...	...
000h	0V	0V

表30 ユニポーラ出力データとD/Aコンバータの変換出力電圧

出力電圧範囲	± 2.5 V	± 5 V	± 10 V
出力データ	変換出力電圧	変換出力電圧	変換出力電圧
FFFh	2.4988V	4.9976V	9.9951V
...	...	...	...
800h	0V	0V	0V
...	...	...	...
000h	- 2.5 V	- 5 V	- 10 V

表31 バイポーラ出力データとD/Aコンバータの変換出力電圧

## 8 . A / Dコンバータの校正

本ボードには入力レンジの変更や経時変化による、オフセット電圧やスケール電圧の調整が必要です。A / Dコンバータの校正は次の手順に従って行って下さい。

入力電圧範囲の設定  
オフセットの調整  
スケール調整

### 8 . 1 入力電圧範囲の選択

本ボードのA / Dコンバータの入力電圧範囲は2種類あります。そのためどちらの入力電圧範囲を使用するかを決めなければなりません。A / Dコンバータの入力電圧範囲を選択するためにショートピン【SP105】～【SP108】(ADSP324-03,ADSP326-03)か、【SP205】～【SP208】(ADSP322-53)の設定を行います。

	SP105～SP108, SP205～SP208					
入力電圧範囲	1	2	3	4	5	6
0～±5V	ショート	オープン	オープン	ショート	オープン	ショート
0～±10V	オープン	ショート	ショート	オープン	ショート	オープン

表3.2 A / Dコンバータの入力電圧範囲の選択



## 8.2 オフセット調整

A/Dコンバータは入力電圧範囲の切り替え、或いはデバイスの経時変化によりオフセット電圧が変動します。そのためオフセットの調整が必要となり下記の手順で行います。

### 1. 入力段アンプのオフセット調整

差動入力の【+IN】と【-IN】の両入力をAGNDに接続します。そして、それぞれのチャンネルに対応した入力段アンプの11番ピン或いはショートピンの端子が【0V】になるようオフセットボリュームを調整します。この端子はA/Dコンバータの入力に接続されます。

ADSP324-03, ADSP326-03

A/D	オフセットVR	入力段アンプ	±5V	±10V
0	VR125	IC140-11	SP105-4	SP105-2
1	VR126	IC141-11	SP106-4	SP106-2
2	VR127	IC142-11	SP107-4	SP107-2
3	VR128	IC143-11	SP108-4	SP108-2

ADSP322-53

A/D	オフセットVR	入力段アンプ	±5V	±10V
0	VR225	IC217-11	SP205-4	SP205-2
1	VR226	IC218-11	SP206-4	SP206-2
2	VR227	IC219-11	SP207-4	SP207-2
3	VR228	IC220-11	SP208-4	SP208-2

表33 入力段アンプのオフセット

12 11 10 9 8 7

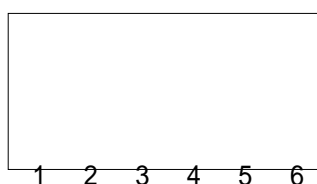


図13 ショートピンのピン配列

## 2. 入力段アンプのオフセット調整

オフセット調整は各A/Dコンバータの入力電圧範囲に応じた電圧を与えます。

入力電圧範囲	設定電圧
- 5 V ~ + 5 V	0 V - 1 / 2 LSB = - 1 . 2 2 mV
- 1 0 V ~ + 1 0 V	0 V - 1 / 2 LSB = - 2 . 4 4 mV

表34 A/Dコンバータオフセット調整時の入力電圧

そしてA/Dコンバータの変換出力が【7FFh ~ 800h】

```

0 1 1 1   1 1 1 1   1 1 1 1
MSB                LSB
MSB                LSB
1 0 0 0   0 0 0 0   0 0 0 0
    
```

間でフリッカーする様にオフセットVRで調整します。

### ADSP324 - 03 , ADSP326 - 03

A/D	± 5 V		± 1 0 V	
	オフセットVR	スケールVR	オフセットVR	スケールVR
0	VR117	VR121	VR113	VR121
1	VR118	VR122	VR114	VR122
2	VR119	VR123	VR115	VR123
3	VR120	VR124	VR116	VR124

### ADSP322 - 53

A/D	± 5 V		± 1 0 V	
	オフセットVR	スケールVR	オフセットVR	スケールVR
0	VR217	VR221	VR213	VR221
1	VR218	VR222	VR214	VR222
2	VR219	VR223	VR215	VR223
3	VR220	VR224	VR216	VR224

表35 A/Dコンバータ校正用ボリューム一覧表

### 8.3 スケール調整

A/Dコンバータには各入力電圧範囲に応じた、入力バッファアンプ（基板内）も含めたスケール調整が必要です。

スケール調整は各A/Dコンバータの入力に入力電圧範囲に応じた電圧を与えます。

入力電圧範囲	設定電圧
- 5 V ~ + 5 V	$5\text{ V} - 3/2\text{ LSB} = 4.9963\text{ V}$
- 10 V ~ + 10 V	$10\text{ V} - 3/2\text{ LSB} = 9.9927\text{ V}$

表36 A/Dコンバータスケール調整時の入力電圧

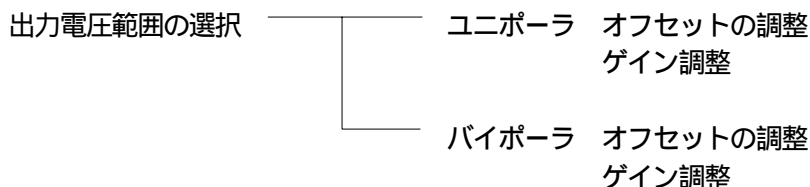
そしてA/Dコンバータの変換出力が【FFEH ~ FFFh】

```
  1 1 1 1   1 1 1 1   1 1 1 0
MSB                LSB
MSB                LSB
  1 1 1 1   1 1 1 1   1 1 1 1
```

間でフリッカーする様にスケールVRで調整します。（表35）

## 9. D/Aコンバータの校正

本ボードのD/Aコンバータの出力電源は、ユニポーラ出力2種類とバイポーラ出力3種類の合計5種類があります。また、校正手順はともに次のようです。



### 9.1 出力電圧範囲の選択

D/Aコンバータの出力電圧範囲を選択するためにショートピンの設定を行います。

SP101~SP104, SP201~SP204						
ピン番号	1	2	3	4	5	6
±10V	ショート	オープン	オープン	オープン	ショート	ショート
±5V	ショート	ショート	オープン	オープン	ショート	ショート
±2.5V	オープン	ショート	ショート	オープン	ショート	ショート
0~10V	ショート	ショート	オープン	ショート	オープン	オープン
0~5V	オープン	ショート	ショート	ショート	オープン	オープン

表37 D/Aコンバータの出力電圧範囲の選択

### 9.2 ユニポーラ出力電圧の校正

ユニポーラ出力電圧の校正用ボリュームの一覧表を下記に示します。

ADSP324-03, ADSP326-03

D/A・No	オフセットVR	スケールVR
00	VR109	VR101
01	VR110	VR102
02	VR111	VR103
03	VR112	VR104

ADSP322-53

D/A・No	オフセットVR	スケールVR
00	VR209	VR201
01	VR210	VR202
02	VR211	VR203
03	VR212	VR204

表38 ユニポーラ出力電圧の校正用ボリューム一覧表

### 9.2.1 ユニポラ出力電圧のオフセット調整

1. D/Aコンバータに【0h】を出力します。

0 0 0 0   0 0 0 0   0 0 0 0

2. 出力電圧が【0V】になる様オフセットVRで調整します。(表38)

### 9.2.2 ユニポラ出力電圧のスケール調整

1. D/Aコンバータに【FFFh】を出力します。

1 1 1 1   1 1 1 1   1 1 1 1

2. D/Aコンバータの出力が、出力電圧範囲に応じた出力比較電圧と同じになる様スケールVRで調節します。(表38)

出力電圧範囲	出力比較電圧
0 ~ 5V	FS - 1LSB + 4.9988V
0 ~ 10V	FS - 1LSB = 9.9976V

表39 D/Aコンバータ・ユニポラ出力のスケール調整時の出力電圧

### 9.3 バイポラ出力電圧の校正

バイポラ出力電圧の校正用ボリュームの一覧表を下記に示します。

ADSP324-03, ADSP326-03

D/A・No	オフセットVR	スケールVR	ゼロVR
00	VR105	VR101	VR105
01	VR106	VR102	VR106
02	VR107	VR103	VR107
03	VR108	VR104	VR108

ADSP322-53

D/A・No	オフセットVR	スケールVR	ゼロVR
00	VR205	VR201	VR205
01	VR206	VR202	VR206
02	VR207	VR203	VR207
03	VR208	VR204	VR208

表40 バイポラ出力電圧の校正用ボリューム一覧表

### 9.3.1 バイポーラ出力電圧のオフセット調整

1. D/Aコンバータに【0h】を出力します。

0 0 0 0   0 0 0 0   0 0 0 0

2. D/Aコンバータの出力が、出力電圧範囲に応じた出力比較電圧と同じになる様オフセットVRで調整します。(表40)

出力電圧範囲	出力比較電圧
- 2.5 V ~ + 2.5 V	- FS / 2 = - 2.5 V
- 5 V ~ + 5 V	- FS / 2 = - 5 V
- 10 V ~ + 10 V	- FS / 2 = - 10 V

表41 D/Aコンバータ・バイポーラ出力のオフセット調整時の出力電圧

### 9.3.2 バイポーラ出力電圧のスケール調整

1. D/Aコンバータに【FFFh】を出力します。

1 1 1 1   1 1 1 1   1 1 1 1

MSB

LSB

2. D/Aコンバータの出力が、出力電圧範囲に応じた出力比較電圧と同じになる様スケールVRで調節します。(表40)

出力電圧範囲	出力比較電圧
- 2.5 V ~ + 2.5 V	FS / 2 - 1 LSB = 2.4988 V
- 5 V ~ + 5 V	FS / 2 - 1 LSB = 4.9976 V
- 10 V ~ + 10 V	FS / 2 - 1 LSB = 9.9951 V

表42 D/Aコンバータ・バイポーラ出力のスケール調整時の出力電圧

### 9.3.3 バイポーラ出力電圧のゼロ調整 (オプション: 0Vの精度を要求される場合)

- D/Aコンバータに【800h】を出力します。

1 0 0 0   0 0 0 0   0 0 0 0

MSB

LSB

- 出力電圧が【0V】になるようゼロ調整VRで調整します。(表40)

## 10. トリガレベル設定

### 10.1 トリガレベル設定用D/Aコンバータの校正

#### 10.1.1 オフセット調整

1. トリガレベル用D/Aコンバータ(ベースアドレス+Ah)に【0h】を出力します。
2. TP102が【-10V】になる様にVR130を調整します。  
(ADSP324-00, ADSP326-00)  
TP202が【-10V】になる様にVR230を調整します。(ADSP322-53)

#### 10.1.2 スケール調整

1. トリガレベル用D/Aコンバータに【FFFh】を出力します。

1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1  
MSB LSB

2. TP102が【9.9951V】になる様にVR129を調整します。  
(ADSP324-00, ADSP326-00)  
TP202が【9.9951V】になる様にVR229を調整します。(ADSP322-53)

#### 10.1.3 ゼロ調整

1. トリガレベル用D/Aコンバータに【800h】を出力します。

1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0  
MSB LSB

2. TP102の9番ピンが【0V】になる様にVR130を調整します。  
(ADSP324-00, ADSP326-00)  
TP202の9番ピンが【0V】になる様にVR230を調整します。(ADSP322-53)

### 10.2 トリガレベル用コンパレータの校正

1. トリガレベル用D/Aコンバータに【800h】を出力します。

1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0  
MSB LSB

2. A/D・00の入力を【0V】(GNDに接続)にします。

3. コンパレータの出力TP101がHI LO(5V 0V)にフリッカーする様にVR131で調整します。(ADSP324-00,ADSP326-00)  
 コンパレータの出力TP201がHI LO(5V 0V)にフリッカーする様にVR231で調整します。(ADSP322-53)

### 1.1. アナログ入出力コネクタのピン配置

ADSP324-03  
 ADSP326-03

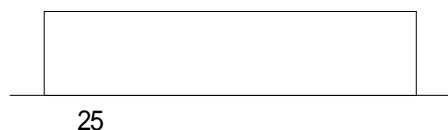
NO	信号名	NO	信号名
1201	OUT0	1214	AGND
1202	OUT1	1215	AGND
1203	OUT2	1216	AGND
1204	OUT3	1217	AGND
1205	+IN0	1218	-IN0
1206	AGND	1219	AGND
1207	+IN1	1220	-IN1
1208	AGND	1221	AGND
1209	+IN2	1222	-IN2
1210	AGND	1223	AGND
1211	+IN3	1224	-IN3
1212	AGND	1225	DGND
1213	*EXTCLK		

表4.3 CN1

ADSP322-53

NO	信号名	NO	信号名
2201	OUT0	2214	AGND
2202	OUT1	2215	AGND
2203	OUT2	2216	AGND
2204	OUT3	2217	AGND
2205	+IN0	2218	-IN0
2206	AGND	2219	AGND
2207	+IN1	2220	-IN1
2208	AGND	2221	AGND
2209	+IN2	2222	-IN2
2210	AGND	2223	AGND
2211	+IN3	2224	-IN3
2212	AGND	2225	DGND
2213	*EXTCLK		

表4.4 CN2.2



25

図1.4 CN1.2、CN2.2のコネクタを挿入方向からみた図



## 12. 添付品

品名	型式	数量	メーカー
CN12 / CN22用プラグ	DB - 25P - N	1	JAE
CN12 / CN22用ジャンクションシェル	DB - C2 - J9	1	JAE

表45 添付品一覧



- ・本マニュアルの内容は製品の改良のため予告無しに変更される事がありますので、ご了承下さい。

## 中部電機株式会社

〒440-0004 愛知県豊橋市忠興3丁目2-8

TEL <0532>61-9566

FAX <0532>63-1081

URL : <http://www.chubu-el.co.jp>

E-mail : [cs@chubu-el.co.jp](mailto:cs@chubu-el.co.jp)

ADSP324-03 ハードウェアマニュアル

2005.8 第5版発行